

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

jc398 U.S. PTO
09/046671
03/24/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1997年 9月22日

出願番号
Application Number:

平成 9年特許願第257085号

出願人
Applicant(s):

富士通株式会社

1997年12月12日

特許長官
Commissioner,
Patent Office

荒井寿光

出証番号 出証特平09-3101564

【書類名】 特許願

【整理番号】 9703128

【提出日】 平成 9年 9月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10 311

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 潤田 雅人

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 松宮 正人

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 9-257085

【包括委任状番号】 9704681

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第1導電型の半導体基板と、

前記半導体基板の第1の領域に、前記半導体基板表面から離間して形成された第2導電型の埋め込み半導体層と、

前記半導体基板の前記第1の領域の前記半導体基板表面と前記埋め込み半導体層との間の領域の周縁部に形成され、前記埋め込み半導体層に接続する第2導電型半導体領域と、

前記埋め込み半導体層と前記第2導電型半導体領域とにより囲まれた前記半導体基板より成る第1導電型半導体領域と

を有することを特徴とする半導体装置。

【請求項 2】 請求項1記載の半導体装置において、

前記第1導電型半導体領域に形成された第1の半導体素子と、

前記半導体基板の前記第1の領域と異なる第2の領域に形成された第2の半導体素子とを有し、

前記第1導電型半導体領域を第1の電位に接続し、

前記半導体基板の前記第2の領域を前記第1の電位と異なる第2の電位に接続することを特徴とする半導体装置。

【請求項 3】 請求項2記載の半導体装置において、

前記第2導電型半導体領域は、前記半導体基板の前記第1の領域に隣接する第3の領域に延在し、

前記第2導電型半導体領域の前記第3の領域に形成された第3の半導体素子を有し、

前記第2導電型半導体領域を少なくとも前記第1の電位又は前記第2の電位と異なる第3の電位に接続することを特徴とする半導体装置。

【請求項 4】 請求項3記載の半導体装置において、

前記第3の領域内の第4の領域に形成された第1導電型ウェルと、

前記第1導電型ウェルに形成された第4の半導体素子とを有し、

前記第1導電型ウェルを少なくとも前記第1の電位と異なる第4の電位に接続することを特徴とする半導体装置。

【請求項5】 請求項2乃至4のいずれか1項に記載の半導体装置において

前記第1の半導体素子は、メモリセルであることを特徴とする半導体装置。

【請求項6】 請求項2乃至4のいずれか1項に記載の半導体装置において

前記第2の半導体素子は、メモリセルであることを特徴とする半導体装置。

【請求項7】 第1導電型の半導体基板の第1の領域に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板内に前記半導体基板表面から離間した第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と、

前記半導体基板の前記第1の領域の周縁部に第2導電型の不純物イオンを前記第1のエネルギーより小さい第2のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に前記埋め込み半導体層に接続する第2導電型半導体領域を形成する第2導電型半導体領域形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項8】 第1導電型の半導体基板の第1の領域に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板内に前記半導体基板表面から離間した第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と、

前記半導体基板の前記第1の領域の周縁部に第2導電型の不純物イオンを前記第1のエネルギーより小さい第2のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に第2導電型半導体領域を形成する第2導電型半導体領域形成工程と、

熱処理をして、前記埋め込み半導体層と前記第2導電型半導体領域の不純物イオンを拡散し、前記埋め込み半導体層と前記第2導電型半導体領域とを接続する熱処理工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 第1導電型の半導体基板の第1の領域の周縁部に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に第2導電型半導体領域を形成する第2導電型半導体領域形成工程と、

熱処理をして、前記第2導電型半導体領域の不純物イオンを拡散する熱処理工程と、

前記半導体基板の前記第1の領域に第2導電型の不純物イオンを前記第1のエネルギーより大きい第2のエネルギーにより注入し、前記半導体基板表面から離間して前記第2導電型半導体領域に接続する第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 10】 第1導電型の半導体基板の第1の領域の周縁部に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に第2導電型半導体領域を形成する第2導電型半導体領域形成工程と、

前記半導体基板の前記第1の領域に第2導電型の不純物イオンを前記第1のエネルギーより大きい第2のエネルギーにより注入し、前記半導体基板表面から離間した第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と、

熱処理をして、前記第2導電型半導体領域と前記埋め込み半導体層の不純物イオンを拡散し、前記第2導電型半導体領域と前記埋め込み半導体層とを接続する熱処理工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 11】 第1導電型の半導体基板の第1の領域の周縁部に第2導電型の不純物イオンを第1のエネルギーにより注入して第2導電型半導体領域を形成し、この後、前記周縁部に第2導電型の不純物イオンを前記第1のエネルギーより大きい第2のエネルギーにより注入し、前記第2導電型半導体領域を前記半導体基板表面から更に深くまで形成する第2導電型半導体領域形成工程と、

前記半導体基板の前記第1の領域に第2導電型の不純物イオンを前記第2のエネルギーより大きい第3のエネルギーにより注入し、前記第2導電型半導体領域

に接続する第2導電型の埋め込み半導体層を前記半導体基板表面から離間して形成する埋め込み半導体層形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項12】 請求項7乃至11のいずれか1項に記載の半導体装置の製造方法において、

前記第2導電型半導体領域形成工程では、前記半導体基板の前記第1の領域と隣接する第2の領域にも第2導電型半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、

前記第2の領域の所定の領域に第1導電型の不純物イオンを高濃度に注入して第1導電型ウェルを形成するウェル形成工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に消費電力が低く、動作速度が速い半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年の情報機器の動作の高速化にはめざましいものがあるが、処理情報量の増大に伴い情報機器に用いる半導体装置の更なる高速化が求められている。また、携帯用の情報機器のバッテリー寿命を長くすることが切望されており、半導体装置の更なる低消費電力化が求められている。

【0003】

図28は、情報機器に広く用いられているDRAM (Dynamic Random Access Memory) の構成を示すブロックダイアグラムである。

DRAMは、メモリセルとしてキャパシタを用いた半導体メモリであり、1個のメモリセルが1個のトランジスタと1個のキャパシタにより構成され、小さい面積ですむため、大容量化に適した半導体メモリである。

【0004】

DRAMは、主に、アドレス信号、データ信号、及び制御信号を入出力する入出力部110と、入出力部110からの信号に基づいて情報の書き込み、読み出し等の所定の制御を行う制御部128と、情報を記憶するメモリセルがマトリクス状に形成されたセル部146とにより構成されている。

入出力部110には、アドレス信号や制御信号を外部から入力する入力トランジスタ210、外部との間でデータの入出力を行う入出力トランジスタ212等が設けられている。入力トランジスタ210には、ワード線（図示せず）を選択するための行アドレス（row address）信号と、ビット線（図示せず）を選択するための列アドレス（column address）信号とが交互に入力される。この方式はアドレス多重化方式と呼ばれ、この方式を採用することによりアドレス信号端子（図示せず）を半分に減らしている。

【0005】

制御部128には、入力トランジスタ210からのアドレス信号を入力するアドレス入力回路214、入力トランジスタ210からの制御信号を入力する制御入力回路216、行アドレス信号を出力する行アドレスバッファ218、列アドレス信号を出力する列アドレスバッファ220、ワード線を選択する行デコーダ222、ビット線を選択する列デコーダ224、メモリセル（図示せず）から読み出された信号を增幅するセンスアンプ226、入出力されたデータに対して所定の制御を行うデータ制御回路228、入出力トランジスタ212との間でデータの入出力を行う入出力バッファ230等が設けられている。

【0006】

入力トランジスタ210に入力されたアドレス信号は、アドレス入力回路214を介して行アドレスバッファ218と列アドレスバッファ220とに入力される。入力されたアドレス信号が行アドレス信号なのか列アドレス信号なのかを判別するため、行アドレス信号か列アドレス信号かを示す制御信号が制御入力回路216を介して行アドレスバッファ218と列アドレスバッファ220とに入力される。

【0007】

行アドレスバッファ218に所定の制御信号が入力されている場合は、行アドレスバッファ218は入力されたアドレス信号を行アドレス信号として行デコーダ222に出力する。行デコーダ222は、入力された行アドレス信号に従って特定のワード線を選択する。

一方、列アドレスバッファ220に所定の制御信号が入力されている場合は、列アドレスバッファ220は入力されたアドレス信号を列アドレス信号として列デコーダ224に出力する。列デコーダ224は、入力された列アドレス信号に従って特定のビット線を選択する。

【0008】

セル部146には、メモリセルがマトリクス状に形成されたメモリセルアレイ232が設けられている。なお、1つのメモリセルは、情報を記憶するための1つのキャパシタと、キャパシタに情報を記憶したりキャパシタから情報を読み出したりする1つのトランジスタとにより構成されている。ワード線とビット線とを用いてトランジスタを制御することにより、キャパシタへの情報の書き込みやキャパシタに記憶された情報の読み出しが行われる。

【0009】

また、各ビット線には、フリップフロップ型の増幅器であるセンスアンプ226が設けられており、メモリセルから読み出された信号はこのセンスアンプ226によって増幅される。センスアンプ226で増幅された信号は、入出力バッファ230、入出力トランジスタ212を介して外部に出力される。

図28に示した従来のDRAMを、図29を用いて更に詳細に説明する。なお、図29では、便宜上、各部における一部の構成要素のみを示している。また、ここではp形の半導体基板114を用いたDRAMについて説明する。

【0010】

図29に示すように、入出力部110にはn形チャネルの入出力トランジスタ112が形成され、制御部128にはC-MOS (Complementary-Metal Oxide Semiconductor) インバータを構成するn形チャネルのトランジスタ130とp形チャネルのトランジスタ132とが形成され、セル部146にはキャパシタに情報を書き込んだりキャパシタに記憶された情報を読み出したりするためのn形

チャネルのトランジスタ148が形成されている。

【0011】

入出力部110には、p形の半導体基板114に酸化膜（図示せず）を介して形成されたゲート電極118と、ゲート電極118をマスクとしてn形不純物を導入することにより形成したソース／ドレイン拡散層116a、116bにより構成された入出力トランジスタ112が形成されている。

入出力トランジスタ112のソース／ドレイン拡散層116aは、入出力端子であるパッド120に接続されている。入出力トランジスタ112に加える電圧は外部の電圧との整合性をとる必要があるので、半導体基板114はp形不純物を高濃度に導入したコンタクト層124を介して接地電圧Vssに接続されている。入出力トランジスタ112が不純物濃度が低い半導体基板114上に形成されているので、入出力トランジスタ112のソース／ドレイン拡散層116aと半導体基板114との間の寄生容量は小さく、これにより高速動作が可能となっている。

【0012】

制御部128には、絶縁膜（図示せず）を介して半導体基板114上に形成されたゲート電極136と、ゲート電極136をマスクとしてn形不純物を導入することにより形成したソース／ドレイン拡散層134a、134bにより構成されたn形チャネルのトランジスタ130が形成されている。

また、p形チャネルのトランジスタ132が形成される領域の半導体基板114の表面近傍領域には、n形不純物を導入したn型ウェル138が形成されている。n型ウェル138上には、n型ウェル138上方に絶縁膜（図示せず）を介して形成されたゲート電極142と、ゲート電極142をマスクとしてp形不純物を導入することにより形成したソース／ドレイン拡散層140a、140bにより構成されたトランジスタ132が形成されている。トランジスタ132に印加する電圧は電源電圧Vddとの整合性をとる必要があるため、n型ウェル138はn形不純物を高濃度に導入したコンタクト層144を介して電源電圧Vddに接続されている。

【0013】

セル部146のトランジスタ148が形成される領域の半導体基板114の表面近傍領域には、n型ウェル138が延在するように形成されている。そしてトランジスタ148が形成される領域のn型ウェル138内には、p形不純物であるボロンイオンを高濃度に導入することにより形成したp型ウェル164が形成されている。p型ウェル164上には、p型ウェル164上方に絶縁膜（図示せず）を介して形成されたゲート電極152と、ゲート電極152をマスクとしてn形不純物を高濃度に導入することにより形成したソース／ドレイン拡散層150a、150bにより構成されたトランジスタ148が形成されている。トランジスタ148のソース／ドレイン拡散層150bには、キャパシタ154が接続されている。そして、トランジスタ148のしきい値電圧を高くするため、p型ウェル164は、p形不純物を高濃度に導入したコンタクト層158を介して接地電圧Vssより低い電圧Vbbに接続されている。

【0014】

【発明が解決しようとする課題】

しかしながら、図29に示したような従来のDRAMでは、n形不純物を導入したn型ウェル138の一部に更に高濃度にp形不純物を導入することによりセル部146のp型ウェル164を形成しているので、トランジスタ148のソース／ドレイン拡散層150a、150bとp型ウェル164との接合部を通じてキャパシタ154からリークする電流が大きくなってしまっていた。このため、キャパシタ154の電荷を保持するための再書き込み動作を頻繁に行わなければならず、これにより消費電力が大きくなっていた。

【0015】

セル部146のトランジスタ148におけるリーク電流を小さくするために、セル部146のトランジスタ148を不純物濃度が低い半導体基板114上に形成し、n形不純物を導入したn型ウェルの一部に更に高濃度にp形不純物を導入することによりp型ウェルを形成してそのp型ウェル上に入出力部110の入出力トランジスタ112を形成することも考えられるが、高濃度に不純物を導入したp型ウェル上に入出力トランジスタ112を形成すると、入出力端子であるパッド120に接続されるソース／ドレイン拡散層116aとp型ウェルとの間の

寄生容量が大きくなってしまうため、高速動作が不可能となってしまう。

【0016】

そこで、入出力部110の入出力トランジスタ112とセル部146のトランジスタ148とを半導体基板114上に形成することが考えられる。しかし、入出力部110の入出力トランジスタ112の電圧は外部の電圧との整合性をとるために半導体基板を接地電圧Vssに接続する必要があり、セル部146のトランジスタ148はしきい値電圧を高くしてリーク電流を小さくするために半導体基板を接地電圧Vssより低い電圧Vbbに接続する必要がある。このためには、入出力部110の入出力トランジスタ112を形成する半導体基板とセル部146のトランジスタ148を形成する半導体基板とを分離しなければならず、実用的ではなかった。

【0017】

本発明の目的は、消費電力が低く、動作速度が速い半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

上記目的は、第1導電型の半導体基板と、前記半導体基板の第1の領域に、前記半導体基板表面から離間して形成された第2導電型の埋め込み半導体層と、前記半導体基板の前記第1の領域の前記半導体基板表面と前記埋め込み半導体層との間の領域の周縁部に形成され、前記埋め込み半導体層に接続する第2導電型半導体領域と、前記埋め込み半導体層と前記第2導電型半導体領域とにより囲まれた前記半導体基板より成る第1導電型半導体領域とを有することを特徴とする半導体装置により達成される。これにより、入出力部の入出力トランジスタを第1の領域と異なる領域の半導体基板上に形成することができるので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離された第1導電型半導体領域上に形成することができるので、半導体基板の接地電圧より低い電圧を第1導電型半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定するこ

とができ、これによりセル部のトランジスタのソース／ドレイン拡散層と第1導電型半導体領域との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置を提供することができる。また、半導体基板と電気的に分離された第1導電型半導体領域上に入出力部の入出力トランジスタを形成し、不純物イオンの注入によるダメージを受けていない半導体基板上にセル部のトランジスタを形成することができるので、セル部のトランジスタのソース／ドレイン拡散層と半導体基板との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができ、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができるので、消費電力の低い半導体装置を提供することができる。

【0019】

また、上記の半導体装置において、前記第1導電型半導体領域に形成された第1の半導体素子と、前記半導体基板の前記第1の領域と異なる第2の領域に形成された第2の半導体素子とを有し、前記第1導電型半導体領域を第1の電位に接続し、前記半導体基板の前記第2の領域を前記第1の電位と異なる第2の電位に接続することが望ましい。

【0020】

また、上記の半導体装置において、前記第2導電型半導体領域は、前記半導体基板の前記第1の領域に隣接する第3の領域に延在し、前記第2導電型半導体領域の前記第3の領域に形成された第3の半導体素子を有し、前記第2導電型半導体領域を少なくとも前記第1の電位又は前記第2の電位と異なる第3の電位に接続することが望ましい。

【0021】

また、上記の半導体装置において、前記第3の領域内の第4の領域に形成された第1導電型ウェルと、前記第1導電型ウェルに形成された第4の半導体素子とを有し、前記第1導電型ウェルを少なくとも前記第1の電位と異なる第4の電位に接続することが望ましい。これにより、入出力部の入出力トランジスタを第1導電型半導体領域上に形成することができ、制御部のトランジスタを第1導電型

半導体領域と電気的に分離された第1導電型ウェル上に形成することができ、第1導電型半導体領域と第1導電型ウェルとをそれぞれ異なる電圧に接続することができるので、入出力トランジスタのソース／ドレイン拡散層に例えばマイナスの異常電圧が印加された場合でも、制御部のトランジスタが誤動作することを防止することができる。従って、制御部のトランジスタをセル部のトランジスタの制御に用いた場合でも、かかる異常電圧により制御部のトランジスタが誤動作することがなく、メモリセルの情報が破壊されるのを防止することができる。

【0022】

また、上記の半導体装置において、前記第1の半導体素子は、メモリセルであることが望ましい。

また、上記の半導体装置において、前記第2の半導体素子は、メモリセルであることが望ましい。

また、上記目的は、第1導電型の半導体基板の第1の領域に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板内に前記半導体基板表面から離間した第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と、前記半導体基板の前記第1の領域の周縁部に第2導電型の不純物イオンを前記第1のエネルギーより小さい第2のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に前記埋め込み半導体層に接続する第2導電型半導体領域を形成する第2導電型半導体領域形成工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、入出力部の入出力トランジスタを第1の領域と異なる領域の半導体基板上に形成することができるので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置の製造方法を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離された第1導電型半導体領域上に形成することができるので、半導体基板の接地電圧より低い電圧を第1導電型半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／ドレイン拡散層と第1導電型半導体領域との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができるので、キャパシタの電荷を保

持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置の製造方法を提供することができる。

【0023】

また、上記目的は、第1導電型の半導体基板の第1の領域に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板内に前記半導体基板表面から離間した第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と、前記半導体基板の前記第1の領域の周縁部に第2導電型の不純物イオンを前記第1のエネルギーより小さい第2のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に第2導電型半導体領域を形成する第2導電型半導体領域形成工程と、熱処理をして、前記埋め込み半導体層と前記第2導電型半導体領域の不純物イオンを拡散し、前記埋め込み半導体層と前記第2導電型半導体領域とを接続する熱処理工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、入出力部の入出力トランジスタを第1の領域と異なる領域の半導体基板上に形成することができるので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置の製造方法を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離された第1導電型半導体領域上に形成することができるので、半導体基板の接地電圧より低い電圧を第1導電型半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／ドレイン拡散層と第1導電型半導体領域との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置の製造方法を提供することができる。

【0024】

また、上記目的は、第1導電型の半導体基板の第1の領域の周縁部に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に第2導電型半導体領域を形成する第2導電型半導体領域形成工程と、熱処理をして、前記第2導電型半導体領域の不純物イオンを拡散す

る熱処理工程と、前記半導体基板の前記第1の領域に第2導電型の不純物イオンを前記第1のエネルギーより大きい第2のエネルギーにより注入し、前記半導体基板表面から離間して前記第2導電型半導体領域に接続する第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、入出力部の入出力トランジスタを第1の領域と異なる領域の半導体基板上に形成することができるので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置の製造方法を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離された第1導電型半導体領域上に形成することができるので、半導体基板の接地電圧より低い電圧を第1導電型半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／ドレイン拡散層と第1導電型半導体領域との接合部を通じてキャパシタから流れ出するリーク電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置の製造方法を提供することができる。

【0025】

また、上記目的は、第1導電型の半導体基板の第1の領域の周縁部に第2導電型の不純物イオンを第1のエネルギーにより注入し、前記半導体基板の表面から所定の深さまでの領域に第2導電型半導体領域を形成する第2導電型半導体領域形成工程と、前記半導体基板の前記第1の領域に第2導電型の不純物イオンを前記第1のエネルギーより大きい第2のエネルギーにより注入し、前記半導体基板表面から離間した第2導電型の埋め込み半導体層を形成する埋め込み半導体層形成工程と、熱処理をして、前記第2導電型半導体領域と前記埋め込み半導体層の不純物イオンを拡散し、前記第2導電型半導体領域と前記埋め込み半導体層とを接続する熱処理工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、入出力部の入出力トランジスタを第1の領域と異なる領域の半導体基板上に形成することができるので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これに

より動作速度が速い半導体装置の製造方法を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離された第1導電型半導体領域上に形成することができるので、半導体基板の接地電圧より低い電圧を第1導電型半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／ドレイン拡散層と第1導電型半導体領域との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置の製造方法を提供することができる。

【0026】

また、上記目的は、第1導電型の半導体基板の第1の領域の周縁部に第2導電型の不純物イオンを第1のエネルギーにより注入して第2導電型半導体領域を形成し、この後、前記周縁部に第2導電型の不純物イオンを前記第1のエネルギーより大きい第2のエネルギーにより注入し、前記第2導電型半導体領域を前記半導体基板表面から更に深くまで形成する第2導電型半導体領域形成工程と、前記半導体基板の前記第1の領域に第2導電型の不純物イオンを前記第2のエネルギーより大きい第3のエネルギーにより注入し、前記第2導電型半導体領域に接続する第2導電型の埋め込み半導体層を前記半導体基板表面から離間して形成する埋め込み半導体層形成工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、入出力部の入出力トランジスタを第1の領域と異なる領域の半導体基板上に形成することができるので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置の製造方法を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離された第1導電型半導体領域上に形成することができるので、半導体基板の接地電圧より低い電圧を第1導電型半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／ドレイン拡散層と第1導電型半導体領域との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻

度を少なくすることができ、消費電力が低い半導体装置の製造方法を提供することができる。

【0027】

また、上記の半導体装置の製造方法において、前記第2導電型半導体領域形成工程では、前記半導体基板の前記第1の領域と隣接する第2の領域にも第2導電型半導体領域を形成することが望ましい。

また、上記の半導体装置の製造方法において、前記第2の領域の所定の領域に第1導電型の不純物イオンを高濃度に注入して第1導電型ウェルを形成するウェル形成工程を有することが望ましい。

【0028】

【発明の実施の形態】

[第1実施形態]

本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図9を用いて説明する。図1は、本実施形態による半導体装置を示す断面図及び上面図である。なお、図1(a)は、図1(b)のA-A'線断面図である。また、図1(b)は上面図であり、便宜上、素子分離膜等の構成要素を省略している。図2及び図3は、本実施形態による半導体装置の製造方法(その1)を示す工程断面図である。図4及び図5は、本実施形態による半導体装置の製造方法(その2)を示す工程断面図である。図6及び図7は、本実施形態による半導体装置の製造方法(その3)を示す工程断面図である。図8及び図9は、本実施形態による半導体装置の製造方法(その4)を示す工程断面図である。

【0029】

図1に示すように、本実施形態による半導体装置は、主に、アドレス信号、データ信号、及び制御信号等を入出力する入出力部10と、入出力部10からの信号に基づいて情報の書き込み、読み出し等の所定の制御を行う制御部28と、情報を記憶するメモリセルがマトリクス状に形成されたセル部46とにより構成されている。なお、図1では、便宜上、主要な構成要素のみを示している。

【0030】

入出力部10には、p形の半導体基板14に酸化膜(図示せず)を介して形成

されたゲート電極18と、ゲート電極18をマスクとしてn形不純物を導入することにより形成したソース／ドレイン拡散層16a、16bにより構成された入出力トランジスタ12が形成されている。ソース／ドレイン拡散層16aは、入出力端子であるパッド20に接続されている。入出力トランジスタ12は、アドレス信号、データ信号、又は制御信号等を入出力するために用いられる。

【0031】

また、入出力トランジスタ12に加える電圧は外部の電圧との整合性をとる必要があるので、半導体基板14はp形不純物を高濃度に導入したコンタクト層24を介して接地電圧Vssに接続されている。入出力トランジスタ12が不純物濃度が低い半導体基板14上に形成されているので、ソース／ドレイン拡散層16aと半導体基板14との間の寄生容量は小さく、これにより高速動作が可能となっている。

【0032】

制御部28には、n形チャネルのトランジスタ30とp形チャネルのトランジスタ32とが形成されており、これらによりC-MOSインバータ等が構成されている。

n形チャネルのトランジスタ30は、半導体基板14上に絶縁膜（図示せず）を介して形成されたゲート電極36と、ゲート電極36をマスクとしてn形不純物を導入することにより形成したソース／ドレイン拡散層34a、34bにより構成されている。

【0033】

また、p形チャネルのトランジスタ32が形成される領域の半導体基板14の表面近傍領域には、n形不純物を導入したn型半導体領域38aが形成されている。n型半導体領域38a上には、絶縁膜（図示せず）を介して形成されたゲート電極42と、ゲート電極42をマスクとしてp形不純物を導入することにより形成したソース／ドレイン拡散層40a、40bにより構成されたトランジスタ32が形成されている。トランジスタ32に印加する電圧は電源電圧Vddとの整合性をとる必要があるため、n型半導体領域38aはn形不純物を高濃度に導入したコンタクト層44を介して電源電圧Vddに接続されている。

【0034】

セル部46のトランジスタ48が形成される領域の半導体基板14の表面近傍領域の周縁部には、n型半導体領域38aが延在して形成されている。また、トランジスタ32とトランジスタ48が形成される領域の半導体基板14には、数MeVの高エネルギーでn形不純物イオンを注入することにより半導体基板14表面から離間するように形成した埋め込みn形半導体層38bが形成されている。トランジスタ48が形成される領域の半導体基板14は、n型半導体領域38aと埋め込みn形半導体層38bとにより他の領域の半導体基板14と電気的に分離され、p形半導体領域14aとなっている。

【0035】

p形半導体領域14a上には、絶縁膜（図示せず）を介して形成されたゲート電極52と、ゲート電極52をマスクとしてn形不純物を高濃度に導入することにより形成したソース／ドレイン拡散層50a、50bとにより構成されたトランジスタ48が形成されている。トランジスタ48のソース／ドレイン拡散層50bには、情報を記憶するためのキャパシタ54が接続されている。そして、トランジスタ48のしきい値電圧を高く設定するため、p形半導体領域14aは、p形不純物を高濃度に導入したコンタクト層58を介して接地電圧Vssより低い電圧Vbbに接続されている。

【0036】

このように本実施形態によれば、入出力部の入出力トランジスタを不純物濃度が低い半導体基板上に形成したので、ソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置を提供することができる。

また、本実施形態によれば、セル部のトランジスタが形成される所定の領域の半導体基板を他の領域の半導体基板と電気的に分離するようにn形半導体領域と埋め込みn形半導体層とを形成し、分離された所定の領域の半導体基板より成るp形半導体領域上にセル部のトランジスタを形成したので、半導体基板の接地電圧Vssより低い電圧Vbbをp形半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／

ドレイン拡散層とp形半導体領域との接合部を通じてキャパシタから流れ出するリード電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置を提供することができる。

【0037】

(製造方法(その1))

次に、本実施形態による半導体装置の製造方法(その1)を図2及び図3を用いて説明する。

まず、p形の半導体基板14上に素子分離膜26を形成し、活性領域60を形成する(図2(a)参照)。

【0038】

次に、制御部28のp形チャネルのトランジスタ32とセル部46のトランジスタ48とが形成される領域が開口するようにパターニングしたマスクを用いて、数MeVの高エネルギーでn形不純物イオンを注入する。これにより、半導体基板14の表面から離間した領域に埋め込みn形半導体層38bが形成される(図2(b)参照)。

【0039】

次に、セル部46のトランジスタ48が形成される領域の周縁部と、制御部28のp形チャネルのトランジスタ32が形成される領域とが開口するようにパターニングしたマスクを用いて、数百keVのエネルギーでn形不純物イオンを注入する。これにより、半導体基板14表面から埋め込みn形半導体層38b近傍までの領域にn形半導体領域38aが形成される(図2(c)参照)。

【0040】

次に、熱処理をすることにより、n形半導体領域38aと埋め込みn形半導体層38bのn形不純物を拡散させ、n形半導体領域38aと埋め込みn形半導体層38bとを接続する。n形半導体領域38aと埋め込みn形半導体層38bとにより、p形半導体領域14aは半導体基板14から電気的に分離される(図3(a)参照)。

【0041】

次に、半導体基板14上の全面に酸化膜（図示せず）を形成し、ゲート電極18、36、42、52の形状にパターニングしたマスクを用いてエッチングすることにより、ゲート電極18、36、42、52を形成する。この後、ゲート電極18、36、52をマスクとしてn形不純物イオンを注入し、ソース／ドレイン拡散層16a、16b、34a、34b、50a、50bを形成する。この後、ゲート電極42をマスクとしてp形不純物を注入し、ソース／ドレイン拡散層40a、40bを形成する。この後、コンタクト層24、58の形状にパターニングしたマスクを用いてp形不純物イオンを注入し、コンタクト層24、58を形成する。この後、コンタクト層44の形状にパターニングしたマスクを用いてn形不純物イオンを注入し、コンタクト層44を形成する（図3（b）参照）。

【0042】

次に、半導体基板14上の全面に絶縁膜（図示せず）を形成する。この後、コンタクトホールをソース／ドレイン拡散層16a、50b上、及びコンタクト層24、44、58上に形成する。この後、アルミ蒸着等により配線して、ソース／ドレイン拡散層16aをパッド20に接続し、ソース／ドレイン拡散層50bをキャパシタ54に接続し、コンタクト層24、44、58をそれぞれ所定の電圧Vss、Vdd、Vbbに接続する（図3（c）参照）。

【0043】

このようにして、本実施形態による半導体装置が製造される。

（製造方法（その2））

次に、本実施形態による半導体装置の製造方法（その2）を図4及び図5を用いて説明する。

本実施形態による半導体装置の製造方法（その2）は、活性領域60の形成（図4（a）参照）後に、n型半導体領域38aを形成し（図4（b）参照）、この後、n型半導体領域38aのn形不純物を拡散させ（図4（c）参照）、この後、n型半導体領域38aに接続する埋め込みn形半導体層38bを形成してp形半導体領域14aをp形基板14から電気的に分離する（図5（a）参照）ことに特徴がある。

本実施形態による半導体装置の製造方法（その2）は、上記に示した本実施形

態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

【0044】

（製造方法（その3））

次に、本実施形態による半導体装置の製造方法（その3）を図6及び図7を用いて説明する。

本実施形態による半導体装置の製造方法（その3）は、活性領域60の形成（図6（a）参照）後に、n型半導体領域38aを形成し（図6（b）参照）、この後、埋め込みn形半導体層38bを形成した（図6（c）参照）後、n型半導体領域38aと埋め込みn形半導体層38bとのn形不純物を拡散させることによりn型半導体領域38aと埋め込みn形半導体層38bとを接続してp形半導体領域14aを半導体基板14から電気的に分離すること（図7（a）参照）に特徴がある。

【0045】

本実施形態による半導体装置の製造方法（その3）は、上記に示した本実施形態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

（製造方法（その4））

次に、本実施形態による半導体装置の製造方法（その4）を図8及び図9を用いて説明する。

【0046】

本実施形態による半導体装置の製造方法は、活性領域60の形成（図8（a）参照）後に、n型半導体領域38aを形成し（図8（b）参照）、この後、更に高いエネルギーによりn形不純物を注入して半導体基板14表面に対して深くまでn型半導体領域38aを形成し（図8（c）参照）、この後、n型半導体領域38aに接続する埋め込みn形半導体層38bを形成することによりp形半導体領域14aを半導体基板14から電気的に分離すること（図9（a）参照）に特

徴がある。n型半導体領域38aが半導体基板14a表面に対して深くまで形成されているので、熱処理による不純物の拡散を行うことなくn型半導体領域38aと埋め込みn形半導体層38bとを接続することができる。

【0047】

本実施形態による半導体装置の製造方法（その4）は、上記に示した本実施形態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

【第2実施形態】

本発明の第2実施形態による半導体装置及びその製造方法を図10乃至図18を用いて説明する。図10は、本実施形態による半導体装置を示す断面図及び上面図である。なお、図10（a）は、図10（b）のA-A'線断面図である。また、図10（b）は上面図であり、便宜上、素子分離膜等の構成要素を省略している。図11及び図12は、本実施形態による半導体装置の製造方法（その1）を示す工程断面図である。図13及び図14は、本実施形態による半導体装置の製造方法（その2）を示す工程断面図である。図15及び図16は、本実施形態による半導体装置の製造方法（その3）を示す工程断面図である。図17及び図18は、本実施形態による半導体装置の製造方法（その4）を示す工程断面図である。図1乃至図9に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0048】

本実施形態による半導体装置は、不純物イオンの注入により半導体基板がダメージを受けるのを防止するため、セル部46が形成される領域の半導体基板14に不純物イオンが注入されていないことに主な特徴がある。本実施形態による半導体装置は、n型半導体領域38aと埋め込みn形半導体層38bとが形成されている領域が異なる他は、第1実施形態による半導体装置と同様である。

【0049】

図10に示すように、n型半導体領域38aは、トランジスタ32が形成される領域の半導体基板14の表面近傍領域に形成されていると共に、トランジスタ

30と入出力トランジスタ12とが形成される領域の半導体基板14の表面近傍領域の周縁部にも延在して形成されている。

また、埋め込みn形半導体層38bは、トランジスタ32、30と入出力トランジスタ12とが形成される領域の半導体基板14に、半導体基板14の表面から離間するように形成されている。入出力トランジスタ12とトランジスタ30とが形成される領域の半導体基板14は、n型半導体領域38aと埋め込みn形半導体層38bとにより他の領域の半導体基板14と電気的に分離され、p形半導体領域14aとなっている。

【0050】

セル部46のトランジスタ48は、半導体基板14の不純物イオンが注入されていない領域上に形成されている。不純物イオンが注入されていない半導体基板14にはダメージが加わっていないので、トランジスタ48のソース／ドレイン拡散層50a、50bと半導体基板14との間のリーク電流は小さくなっている。

【0051】

このように本実施形態によれば、不純物イオンの注入によるダメージを受けていない半導体基板上にセル部のトランジスタを形成したので、セル部のトランジスタのソース／ドレイン拡散層と半導体基板との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができ、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができるので、消費電力の低い半導体装置を提供することができる。

【0052】

（製造方法（その1））

次に、本実施形態による半導体装置の製造方法（その1）を図11及び図12を用いて説明する。

まず、第1実施形態と同様に、p形の半導体基板14上に素子分離膜26を形成し、活性領域60を形成する（図11（a）参照）。

【0053】

次に、入出力トランジスタ12とトランジスタ30、32とが形成される領域

が開口するようにパターニングしたマスクを用いて、数MeVの高エネルギーでn形不純物イオンを注入する。これにより、半導体基板14の表面から離間した領域に埋め込みn形半導体層38bが形成される（図11（b）参照）。

次に、トランジスタ12とトランジスタ30とが形成される領域の周縁部と、トランジスタ32が形成される領域とが開口するようにパターニングしたマスクを用いて、数百keVのエネルギーでn形不純物イオンを注入する。これにより、半導体基板14表面から埋め込みn形半導体層38b近傍までの領域にn形半導体領域38aが形成される（図11（c）参照）。

【0054】

次に、熱処理をすることにより、n形半導体領域38aと埋め込みn形半導体層38bのn形不純物を拡散させ、n形半導体領域38aと埋め込みn形半導体層38bとを接続する。n形半導体領域38aと埋め込みn形半導体層38bとにより、p形半導体領域14aは半導体基板14から電気的に分離される（図12（a）参照）。

【0055】

この後の製造方法は、第1実施形態による半導体装置の製造方法（その1）と同様である。

（製造方法（その2））

次に、本実施形態による半導体装置の製造方法（その2）を図13及び図14を用いて説明する。

【0056】

本実施形態による半導体装置の製造方法（その2）は、活性領域60の形成（図13（a）参照）後に、n型半導体領域38aを形成し（図13（b）参照）、この後、n型半導体領域38aのn形不純物を拡散させ（図13（c）参照）、この後、n型半導体領域38aに接続する埋め込みn形半導体層38bを形成してp形半導体領域14aをp形基板14から電気的に分離する（図14（a）参照）ことに特徴がある。

【0057】

本実施形態による半導体装置の製造方法（その2）は、上記に示した本実施形

態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

（製造方法（その3））

次に、本実施形態による半導体装置の製造方法（その3）を図15及び図16を用いて説明する。

【0058】

本実施形態による半導体装置の製造方法（その3）は、活性領域60の形成（図15（a）参照）後に、n型半導体領域38aを形成し（図15（b）参照）、この後、埋め込みn形半導体層38bを形成した（図15（c）参照）後、n型半導体領域38aと埋め込みn形半導体層38bとのn形不純物を拡散させることによりn型半導体領域38aと埋め込みn形半導体層38bとを接続してp形半導体領域14aを半導体基板14から電気的に分離すること（図16（a）参照）に特徴がある。

【0059】

本実施形態による半導体装置の製造方法（その3）は、上記に示した本実施形態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

（製造方法（その4））

次に、本実施形態による半導体装置の製造方法（その4）を図17及び図18を用いて説明する。

【0060】

本実施形態による半導体装置の製造方法は、活性領域60の形成（図17（a）参照）後に、n型半導体領域38aを形成し（図17（b）参照）、この後、更に高いエネルギーによりn形不純物を注入して半導体基板14表面に対して深くまでn型半導体領域38aを形成し（図17（c）参照）、この後、n型半導体領域38aに接続する埋め込みn形半導体層38bを形成することによりp形半導体領域14aを半導体基板14から電気的に分離すること（図18（a）参

照) に特徴がある。n型半導体領域38aが半導体基板14a表面に対して深くまで形成されているので、熱処理による不純物の拡散を行うことなくn型半導体領域38aと埋め込みn形半導体層38bとを接続することができる。

【0061】

本実施形態による半導体装置の製造方法(その4)は、上記に示した本実施形態による半導体装置の製造方法(その1)とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法(その1)と同様である。

[第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法を図19乃至図27を用いて説明する。図19は、本実施形態による半導体装置を示す断面図及び上面図である。なお、図19(a)は、図19(b)のA-A'線断面図である。また、図19(b)は上面図であり、便宜上、素子分離膜等の構成要素を省略している。図20及び図21は、本実施形態による半導体装置の製造方法(その1)を示す工程断面図である。図22及び図23は、本実施形態による半導体装置の製造方法(その2)を示す工程断面図である。図24及び図25は、本実施形態による半導体装置の製造方法(その3)を示す工程断面図である。図26及び図27は、本実施形態による半導体装置の製造方法(その4)を示す工程断面図である。図1乃至図18に示す第1又は第2実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0062】

本実施形態による半導体装置は、p形半導体領域14aと電気的に分離されたp形ウェル62上にトランジスタ30を形成したことに主な特徴がある。本実施形態による半導体装置は、n型半導体領域38aが形成されている領域が異なることと、n型半導体領域38aの一部に更にp形不純物を注入することによりp形ウェル62を形成し、p形ウェル62上にトランジスタ30を形成しているこの他は、第2実施形態による半導体装置と同様である。

【0063】

図19に示すように、n型半導体領域38aは、トランジスタ30、32が形成される領域の半導体基板14の表面近傍領域に形成されていると共に、入出力トランジスタ12が形成される領域の半導体基板14の表面近傍領域の周縁部にも延在して形成されている。

入出力トランジスタ12が形成される領域の半導体基板14は、n型半導体領域38aと埋め込みn形半導体層38bとにより他の領域の半導体基板14と電気的に分離され、p形半導体領域14aとなっている。

【0064】

トランジスタ30が形成される領域のn型半導体領域38aの一部には、p形不純物イオンを高濃度に注入することにより形成したp形ウェル62が形成されている。そしてp形ウェル62上には、n形チャネルのトランジスタ30が形成されている。p形ウェル62は、p形不純物を高濃度に導入したコンタクト層64を介して、接地電圧Vssと電気的に分離された電圧Vss'に接続される。

【0065】

このように本実施形態によれば、入出力トランジスタをp形半導体領域上に形成し、トランジスタをp形半導体領域と電気的に分離されたp形ウェル上に形成し、p形半導体領域とp形ウェルとをそれぞれ電気的に分離された電圧Vss、Vss'に接続できるようにしたので、入出力トランジスタのソース／ドレイン拡散層に例えばマイナスの異常電圧が印加された場合でも、制御部のトランジスタが誤動作することを防止することができる。従って、制御部のトランジスタをセル部のトランジスタの制御に用いた場合でも、かかる異常電圧により制御部のトランジスタが誤動作することなく、メモリセルの情報が破壊されるのを防止することができる。

【0066】

(製造方法(その1))

次に、本実施形態による半導体装置の製造方法(その1)を図20及び図21を用いて説明する。

まず、第1実施形態と同様に、p形の半導体基板14上に素子分離膜26を形成し、活性領域60を形成する(図20(a)参照)。

【0067】

次に、入出力トランジスタ12とトランジスタ30、32とが形成される領域が開口するようにパターニングしたマスクを用いて、数MeVの高エネルギーでn形不純物イオンを注入する。これにより、半導体基板14の表面から離間した領域に埋め込みn形半導体層38bが形成される（図20（b）参照）。

次に、入出力トランジスタ12が形成される領域の周縁部と、トランジスタ30、32が形成される領域とが開口するようにパターニングしたマスクを用いて、数百keVのエネルギーでn形不純物イオンを注入する。これにより、半導体基板14表面から埋め込みn形半導体層38b近傍までの領域にn形半導体領域38aが形成される。この後、熱処理をすることにより、n形半導体領域38aと埋め込みn形半導体層38bのn形不純物を拡散させ、n形半導体領域38aと埋め込みn形半導体層38bとを接続する。n形半導体領域38aと埋め込みn形半導体層38bとにより、p形半導体領域14aは半導体基板14から電気的に分離される（図20（c）参照）。

【0068】

次に、トランジスタ30が形成される領域のn型半導体領域38aの一部に、p形不純物を高濃度に注入することによりp形ウェル62を形成し、この後、熱処理を行う（図21（a）参照）。

次に、第1実施形態による半導体装置の製造方法と同様にして、ゲート電極18、36、42、52、ソース／ドレイン拡散層16a、16b、34a、34b、50a、50b、ソース／ドレイン拡散層40a、40bを順に形成する。この後、コンタクト層24、58、64の形状にパターニングしたマスクを用いてp形不純物イオンを高濃度に注入し、コンタクト層24、58、64を形成する。この後、第1実施形態による半導体装置の製造方法と同様にして、コンタクト層44を形成する（図21（b）参照）。

【0069】

次に、第1実施形態と同様にして、半導体基板14上の全面に絶縁膜（図示せず）を形成する。この後、コンタクトホールをソース／ドレイン拡散層16a、50b上、及びコンタクト層24、44、58、64上に形成する。この後、ア

ルミ蒸着等により配線して、ソース／ドレイン拡散層 16a をパッド 20 に接続し、ソース／ドレイン拡散層 50b をキャパシタ 54 に接続し、コンタクト層 24、44、58、64 をそれぞれ所定の電圧 Vss、Vdd、Vbb、Vss' に接続する（図 21（c）参照）。

【0070】

このようにして、本実施形態による半導体装置が製造される。

（製造方法（その2））

次に、本実施形態による半導体装置の製造方法（その2）を図22及び図23を用いて説明する。

本実施形態による半導体装置の製造方法（その2）は、活性領域 60 の形成（図22（a）参照）後に、n型半導体領域 38a を形成し、この後、n型半導体領域 38a のn形不純物を拡散させ（図22（b）参照）、この後、n型半導体領域 38a に接続する埋め込みn形半導体層 38b を形成してp形半導体領域 14a をp形基板 14 から電気的に分離する（図22（c）参照）ことに特徴がある。

【0071】

本実施形態による半導体装置の製造方法（その2）は、上記に示した本実施形態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

（製造方法（その3））

次に、本実施形態による半導体装置の製造方法（その3）を図24及び図25を用いて説明する。

【0072】

本実施形態による半導体装置の製造方法（その3）は、活性領域 60 の形成（図24（a）参照）後に、n型半導体領域 38a を形成し（図24（b）参照）、この後、埋め込みn形半導体層 38b を形成した後、n型半導体領域 38a と埋め込みn形半導体層 38b とのn形不純物を拡散させることによりn型半導体領域 38a と埋め込みn形半導体層 38b とを接続してp形半導体領域 14a を

半導体基板14から電気的に分離すること（図24（c）参照）に特徴がある。

【0073】

本実施形態による半導体装置の製造方法（その3）は、上記に示した本実施形態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

（製造方法（その4））

次に、本実施形態による半導体装置の製造方法（その4）を図26及び図27を用いて説明する。

【0074】

本実施形態による半導体装置の製造方法は、活性領域60の形成（図26（a）参照）後に、n型半導体領域38aを形成し、この後、更に高いエネルギーによりn形不純物を注入して半導体基板14表面に対して深くまでn型半導体領域38aを形成し（図26（b）参照）、この後、n型半導体領域38aに接続する埋め込みn形半導体層38bを形成することによりp型半導体領域14aを半導体基板14から電気的に分離すること（図26（c）参照）に特徴がある。n型半導体領域38aが半導体基板14a表面に対して深くまで形成されているので、熱処理による不純物の拡散を行うことなくn型半導体領域38aと埋め込みn形半導体層38bとを接続することができる。

【0075】

本実施形態による半導体装置の製造方法（その4）は、上記に示した本実施形態による半導体装置の製造方法（その1）とは製造工程の順番が異なるものであり、各構成要素の形成方法は本実施形態による半導体装置の製造方法（その1）と同様である。

〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

【0076】

例えば、半導体基板や各構成要素の導電型は上記実施形態に限定されるものではなく、適宜選択することができる。

また、各半導体領域、及びウェル等を形成する領域は上記実施形態に限定されるものではなく、様々な領域に形成することができる。

また、第1乃至第3実施形態において、電圧Vddは、電圧Vss又は電圧Vbbと異なる電圧に設定することに限定されるものではなく、必要に応じて電圧Vss又は電圧Vbbと同様の電圧を設定してもよい。

【0077】

また、第3実施形態において、電圧Vss'は、電圧Vss、電圧Vdd、又は電圧Vbbと異なる電圧に設定することに限定されるものではなく、必要に応じて電圧Vss、電圧Vdd、又は電圧Vbbと同様の電圧に設定してもよい。

【0078】

【発明の効果】

以上の通り、本発明によれば、入出力部の入出力トランジスタを半導体基板上に形成したので、入出力トランジスタのソース／ドレイン拡散層と半導体基板との間の寄生容量を小さくすることができ、これにより動作速度が速い半導体装置を提供することができる。また、セル部のトランジスタを半導体基板と電気的に分離されたp形半導体領域上に形成したので、半導体基板の接地電圧Vssより低い電圧Vbbをp形半導体領域に加えてセル部のトランジスタのしきい値電圧を高く設定することができ、これによりセル部のトランジスタのソース／ドレイン拡散層とp形半導体領域との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができるので、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができ、消費電力が低い半導体装置及びその製造方法を提供することができる。

【0079】

また、本発明によれば、半導体基板と電気的に分離されたp形半導体領域上に入出力部の入出力トランジスタを形成し、不純物イオンの注入によるダメージを受けていない半導体基板上にセル部のトランジスタを形成したので、セル部のトランジスタのソース／ドレイン拡散層と半導体基板との接合部を通じてキャパシタから流れ出すリーク電流を小さくすることができ、キャパシタの電荷を保持するための再書き込み動作の頻度を少なくすることができるので、消費電力の低い

半導体装置及びその製造方法を提供することができる。

【0080】

また、本発明によれば、入出力部の入出力トランジスタをp形半導体領域上に形成し、制御部のトランジスタをp形半導体領域と電気的に分離されたp形ウェル上に形成し、p形半導体領域とp形ウェルとをそれぞれ電気的に分離された電圧Vss、Vss'に接続できるようにしたので、入出力トランジスタのソース／ドレイン拡散層に例えばマイナスの異常電圧が印加された場合でも、制御部のトランジスタが誤動作することを防止することができる。従って、制御部のトランジスタをセル部のトランジスタの制御に用いた場合でも、かかる異常電圧により制御部のトランジスタが誤動作することなく、メモリセルの情報が破壊されるのを防止することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置を示す断面図及び上面図である。

【図2】

本発明の第1実施形態による半導体装置の製造方法（その1）を示す工程断面図（その1）である。

【図3】

本発明の第1実施形態による半導体装置の製造方法（その1）を示す工程断面図（その2）である。

【図4】

本発明の第1実施形態による半導体装置の製造方法（その2）を示す工程断面図（その1）である。

【図5】

本発明の第1実施形態による半導体装置の製造方法（その2）を示す工程断面図（その2）である。

【図6】

本発明の第1実施形態による半導体装置の製造方法（その3）を示す工程断面図（その1）である。

【図7】

本発明の第1実施形態による半導体装置の製造方法（その3）を示す工程断面図（その2）である。

【図8】

本発明の第1実施形態による半導体装置の製造方法（その4）を示す工程断面図（その1）である。

【図9】

本発明の第1実施形態による半導体装置の製造方法（その4）を示す工程断面図（その2）である。

【図10】

本発明の第2実施形態による半導体装置を示す断面図及び上面図である。

【図11】

本発明の第2実施形態による半導体装置の製造方法（その1）を示す工程断面図（その1）である。

【図12】

本発明の第2実施形態による半導体装置の製造方法（その1）を示す工程断面図（その2）である。

【図13】

本発明の第2実施形態による半導体装置の製造方法（その2）を示す工程断面図（その1）である。

【図14】

本発明の第2実施形態による半導体装置の製造方法（その2）を示す工程断面図（その2）である。

【図15】

本発明の第2実施形態による半導体装置の製造方法（その3）を示す工程断面図（その1）である。

【図16】

本発明の第2実施形態による半導体装置の製造方法（その3）を示す工程断面図（その2）である。

【図17】

本発明の第2実施形態による半導体装置の製造方法（その4）を示す工程断面図（その1）である。

【図18】

本発明の第2実施形態による半導体装置の製造方法（その4）を示す工程断面図（その2）である。

【図19】

本発明の第3実施形態による半導体装置を示す断面図及び上面図である。

【図20】

本発明の第3実施形態による半導体装置の製造方法（その1）を示す工程断面図（その1）である。

【図21】

本発明の第3実施形態による半導体装置の製造方法（その1）を示す工程断面図（その2）である。

【図22】

本発明の第3実施形態による半導体装置の製造方法（その2）を示す工程断面図（その1）である。

【図23】

本発明の第3実施形態による半導体装置の製造方法（その2）を示す工程断面図（その2）である。

【図24】

本発明の第3実施形態による半導体装置の製造方法（その3）を示す工程断面図（その1）である。

【図25】

本発明の第3実施形態による半導体装置の製造方法（その3）を示す工程断面図（その2）である。

【図26】

本発明の第3実施形態による半導体装置の製造方法（その4）を示す工程断面図（その1）である。

【図27】

本発明の第3実施形態による半導体装置の製造方法（その4）を示す工程断面図（その2）である。

【図28】

従来のDRAMの構成を示すブロックダイアグラムである。

【図29】

従来のDRAMを示す断面図及び上面図である。

【符号の説明】

- 1 0 … 入出力部
- 1 2 … 入出力トランジスタ
- 1 4 … 半導体基板
- 1 4 a … p形半導体領域
- 1 6 a、1 6 b … ソース／ドレイン拡散層
- 1 8 … ゲート電極
- 2 0 … パッド
- 2 4 … コンタクト層
- 2 6 … 素子分離膜
- 2 8 … 制御部
- 3 0 … トランジスタ
- 3 2 … トランジスタ
- 3 4 a、3 4 b … ソース／ドレイン拡散層
- 3 6 … ゲート電極
- 3 8 a … n形半導体領域
- 3 8 b … 埋め込みn形半導体層
- 4 0 a、4 0 b … ソース／ドレイン拡散層
- 4 2 … ゲート電極
- 4 4 … コンタクト層
- 4 6 … セル部
- 4 8 … トランジスタ

50a、50b…ソース／ドレイン拡散層
52…ゲート電極
54…キャパシタ
58…コンタクト層
60…活性領域
62…p形ウェル
110…入出力部
112…入出力トランジスタ
114…半導体基板
116a、116b…ソース／ドレイン拡散層
118…ゲート電極
120…パッド
124…コンタクト層
126…素子分離膜
128…制御部
130…トランジスタ
132…トランジスタ
134a、134b…ソース／ドレイン拡散層
136…ゲート電極
138…n形ウェル
140a、140b…ソース／ドレイン拡散層
142…ゲート電極
144…コンタクト層
146…セル部
148…トランジスタ
150a、150b…ソース／ドレイン拡散層
152…ゲート電極
154…キャパシタ
158…コンタクト層

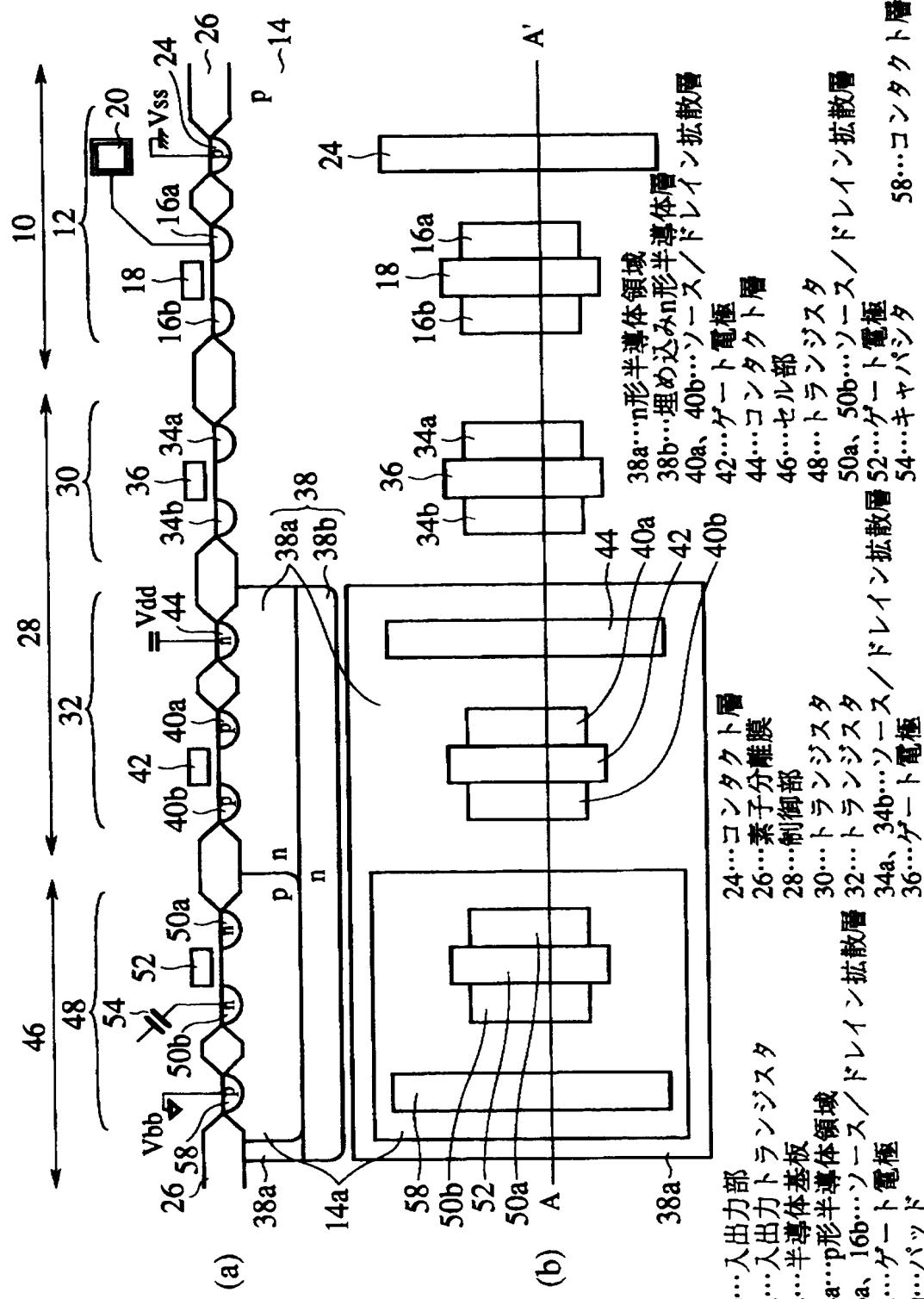
164…P形ウェル
210…入力トランジスタ
212…入出力トランジスタ
214…アドレス入力回路
216…制御入力回路
218…行アドレスバッファ
220…列アドレスバッファ
222…行デコーダ
224…列デコーダ
226…センスアンプ
228…データ制御回路
230…入出力バッファ
232…メモリセルアレイ

特平 9-257085

【書類名】 図面

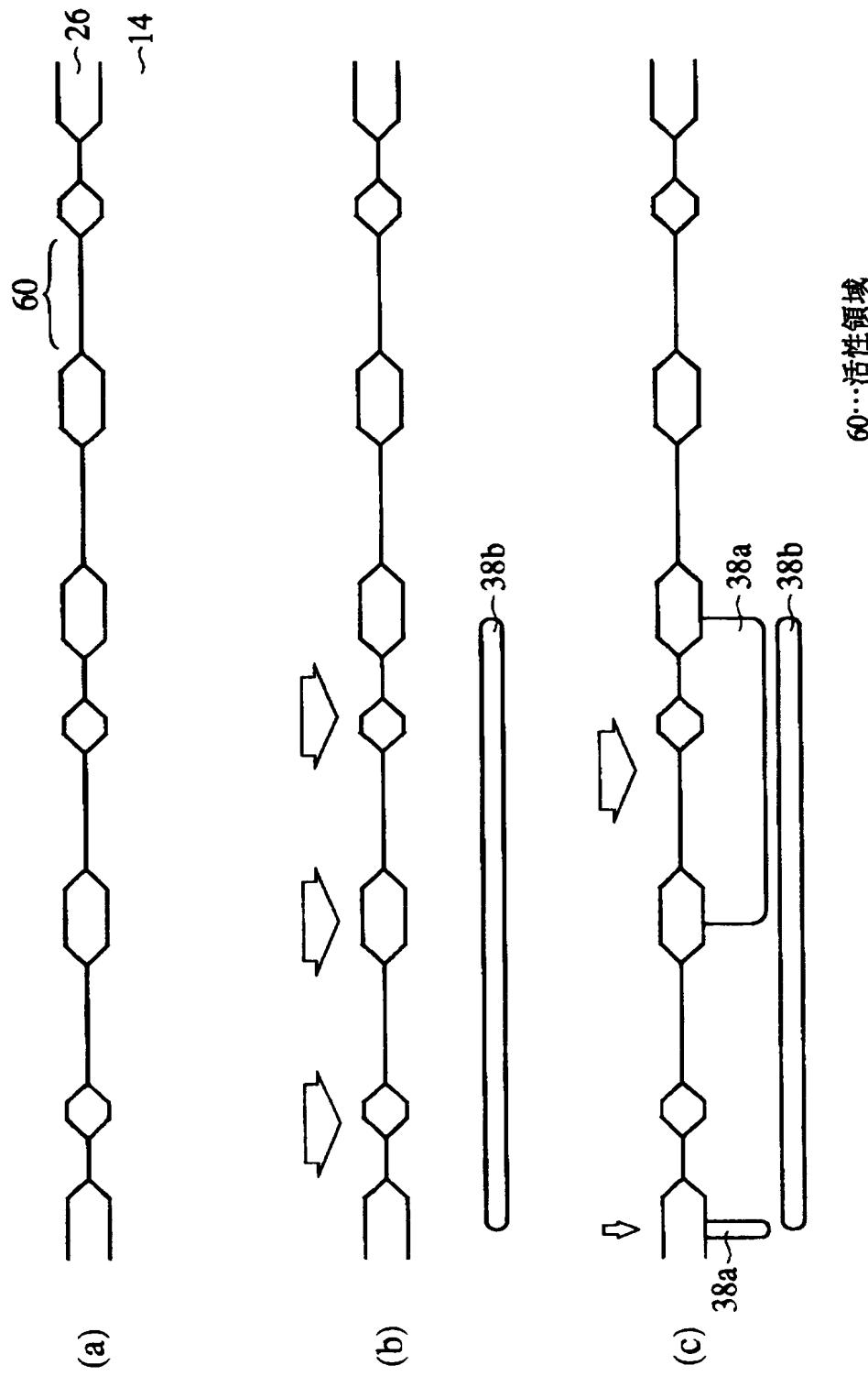
【図1】

本発明の第1実施形態による半導体装置を示す断面図及び上面図



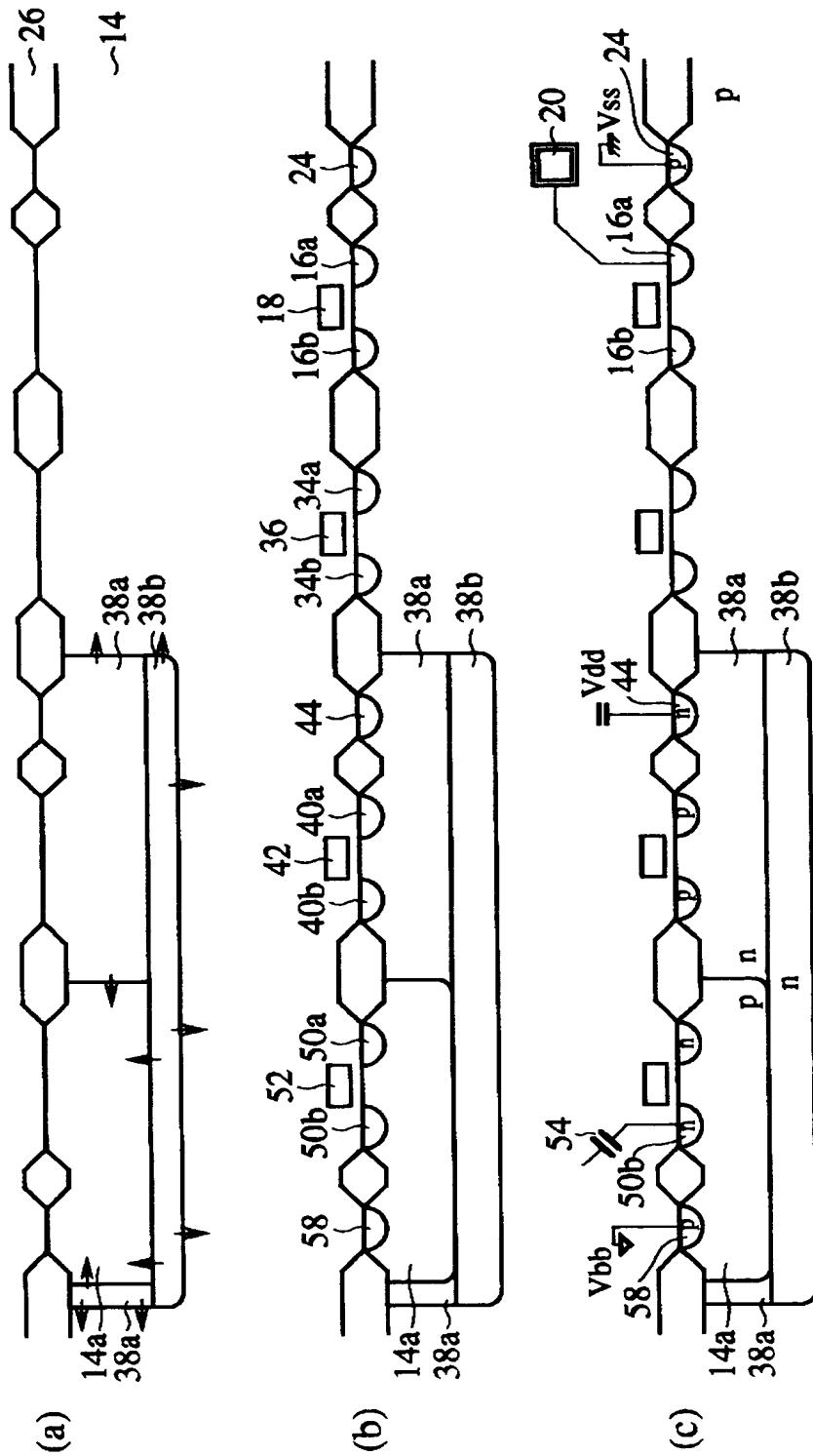
特平 9-257085

【図2】

本発明の第1実施形態による半導体装置の
製造方法(その1)を示す工程断面図(その1)

【図3】

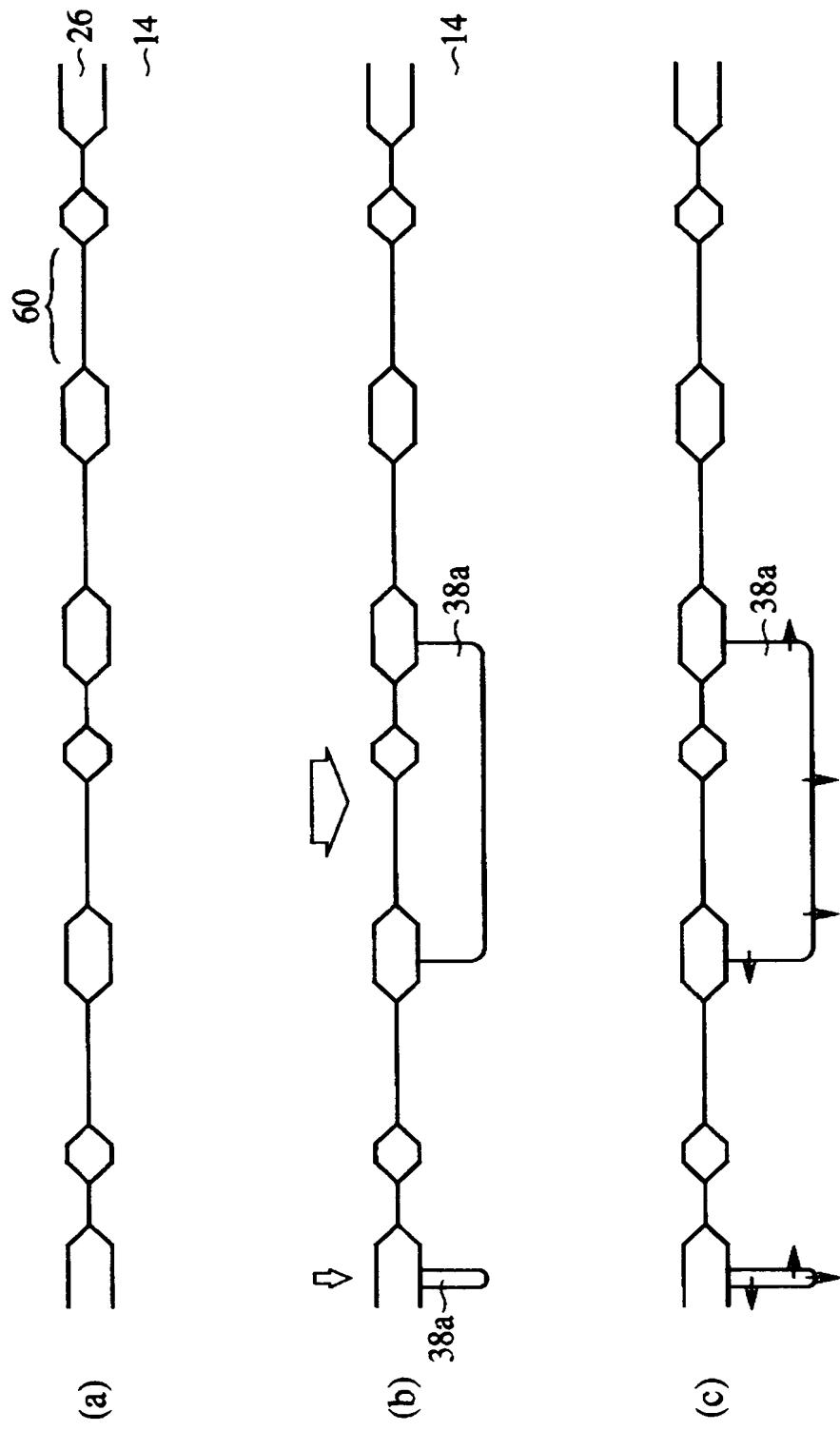
本発明の第1実施形態による半導体装置の
製造方法(その1)を示す工程断面図(その2)



特平 9-257085

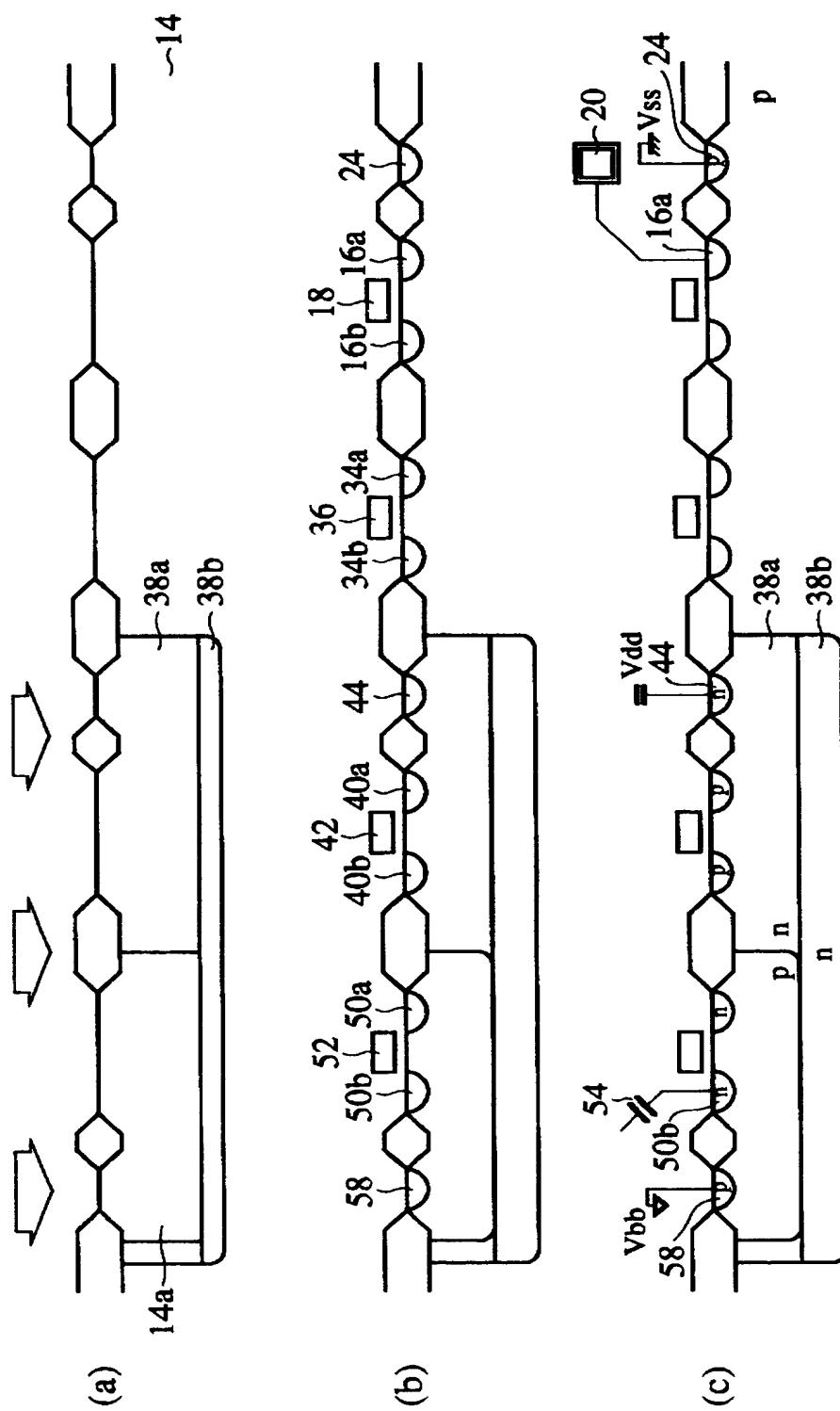
【図4】

本発明の第1実施形態による半導体装置の
製造方法(その2)を示す工程断面図(その1)

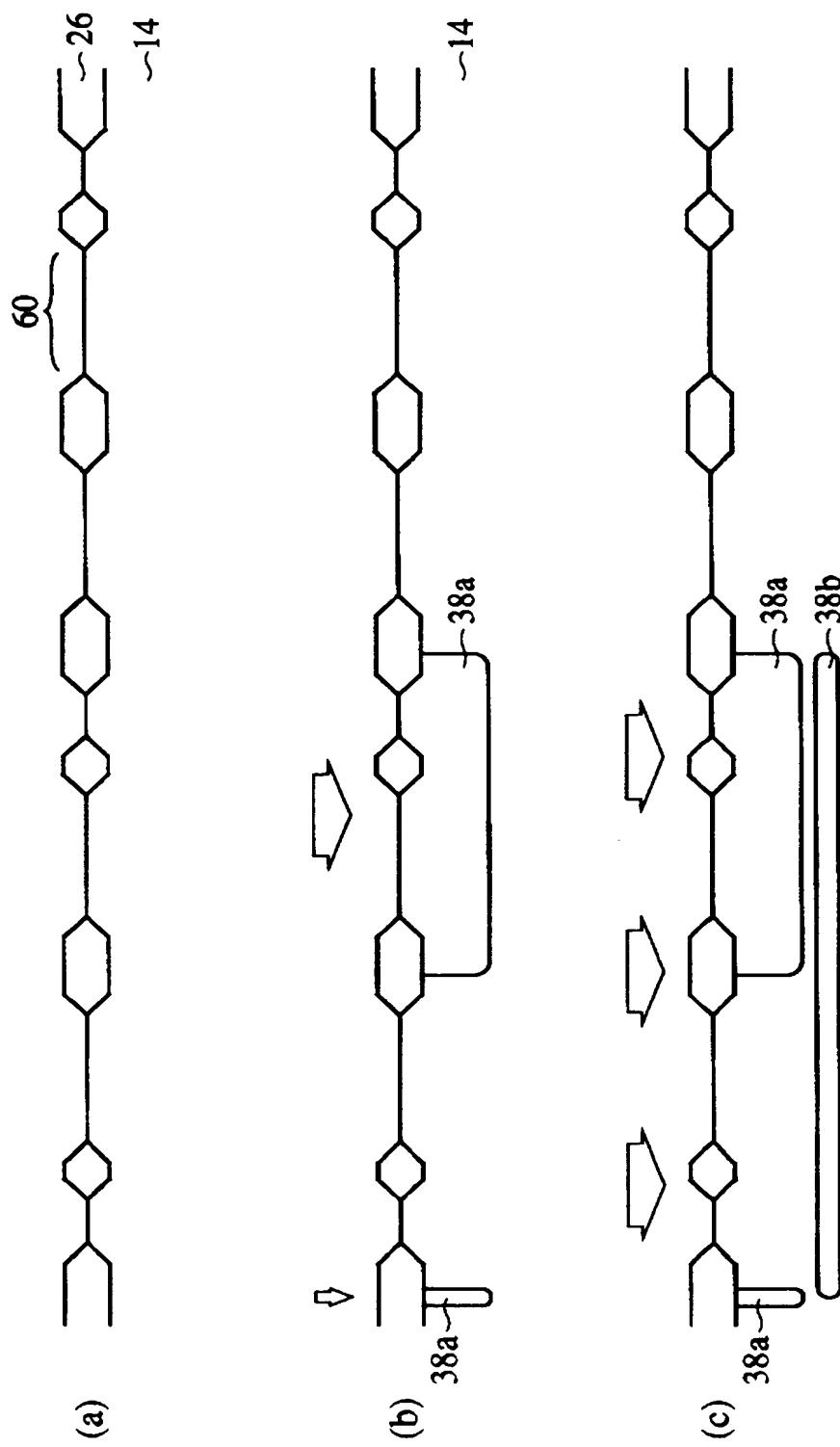


特平 9-257085

【図5】

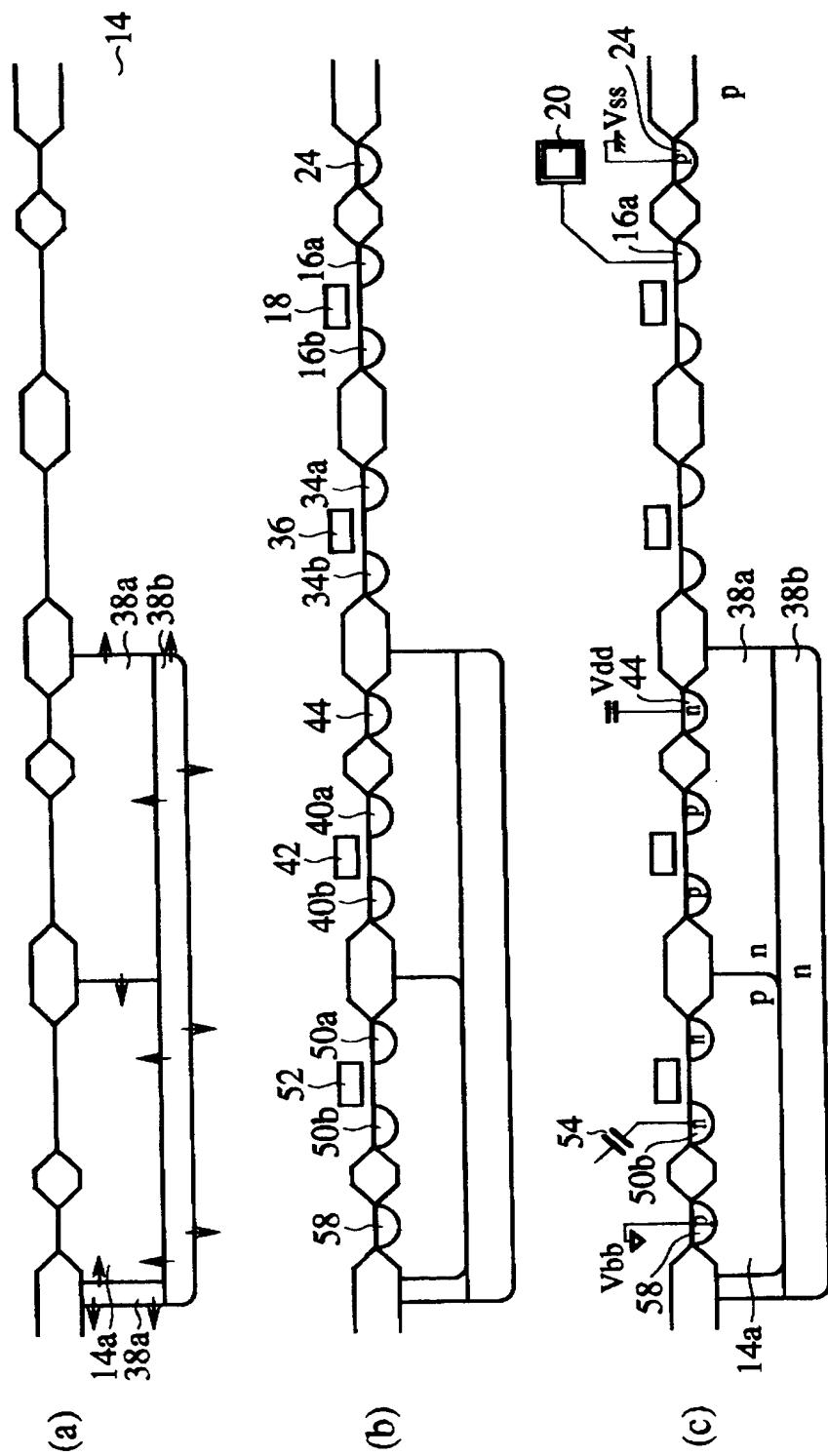
本発明の第1実施形態による半導体装置の
製造方法(その2)を示す工程断面図(その2)

【図6】

本発明の第1実施形態による半導体装置の
製造方法(その3)を示す工程断面図(その1)

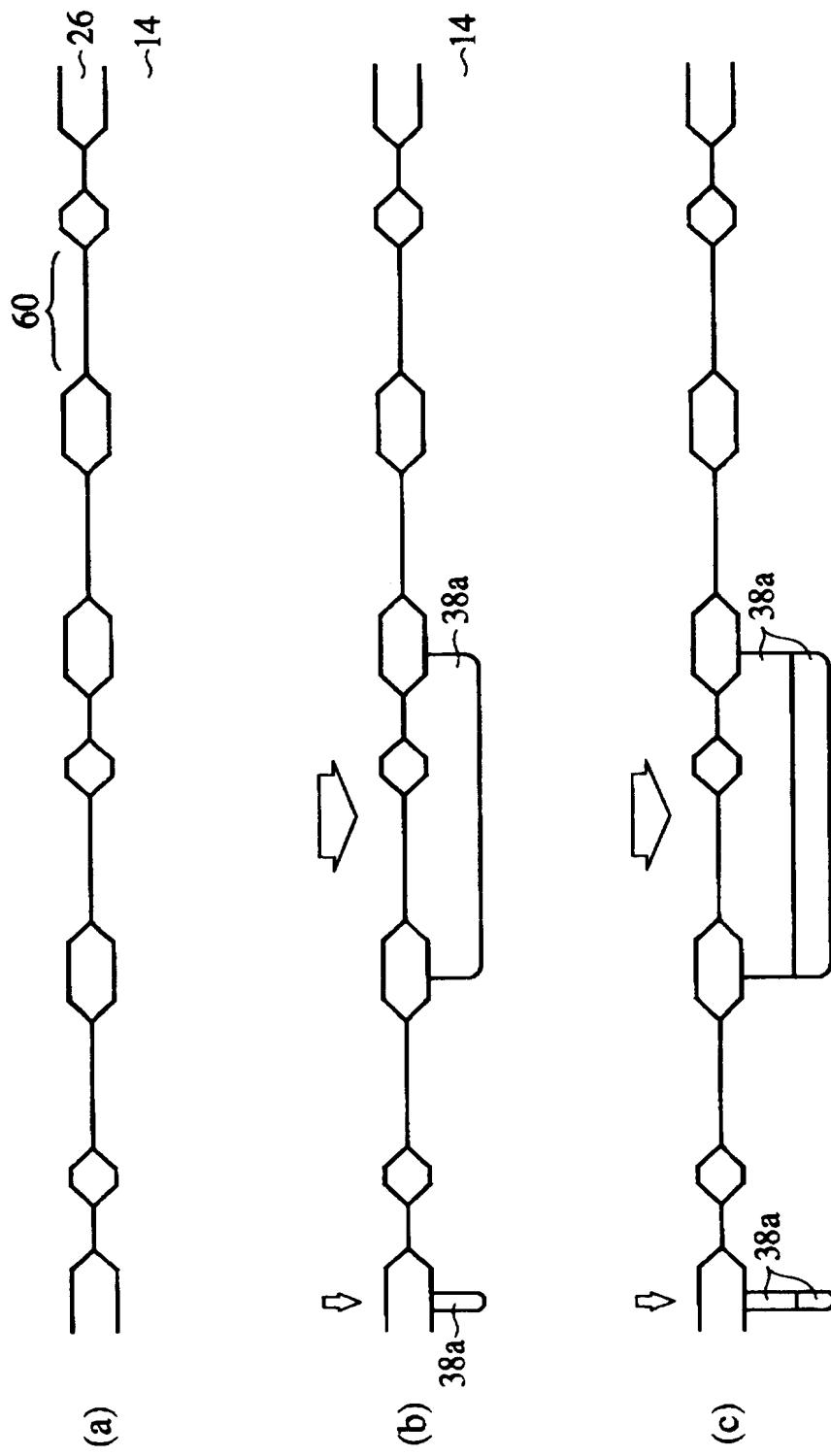
【図7】

本発明の第1実施形態による半導体装置の
製造方法(その3)を示す工程断面図(その2)



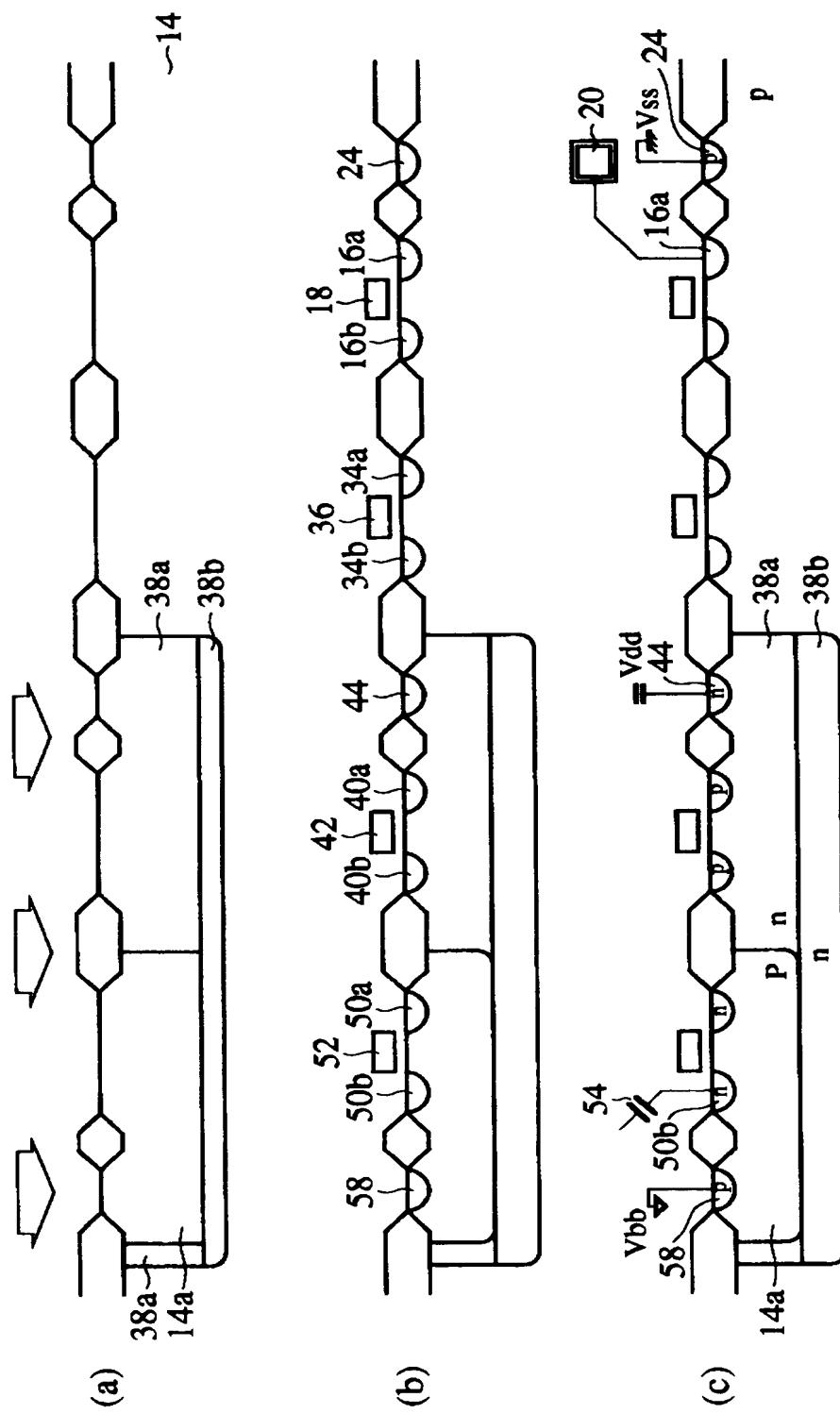
【図8】

本発明の第1実施形態による半導体装置の
製造方法(その4)を示す工程断面図(その1)



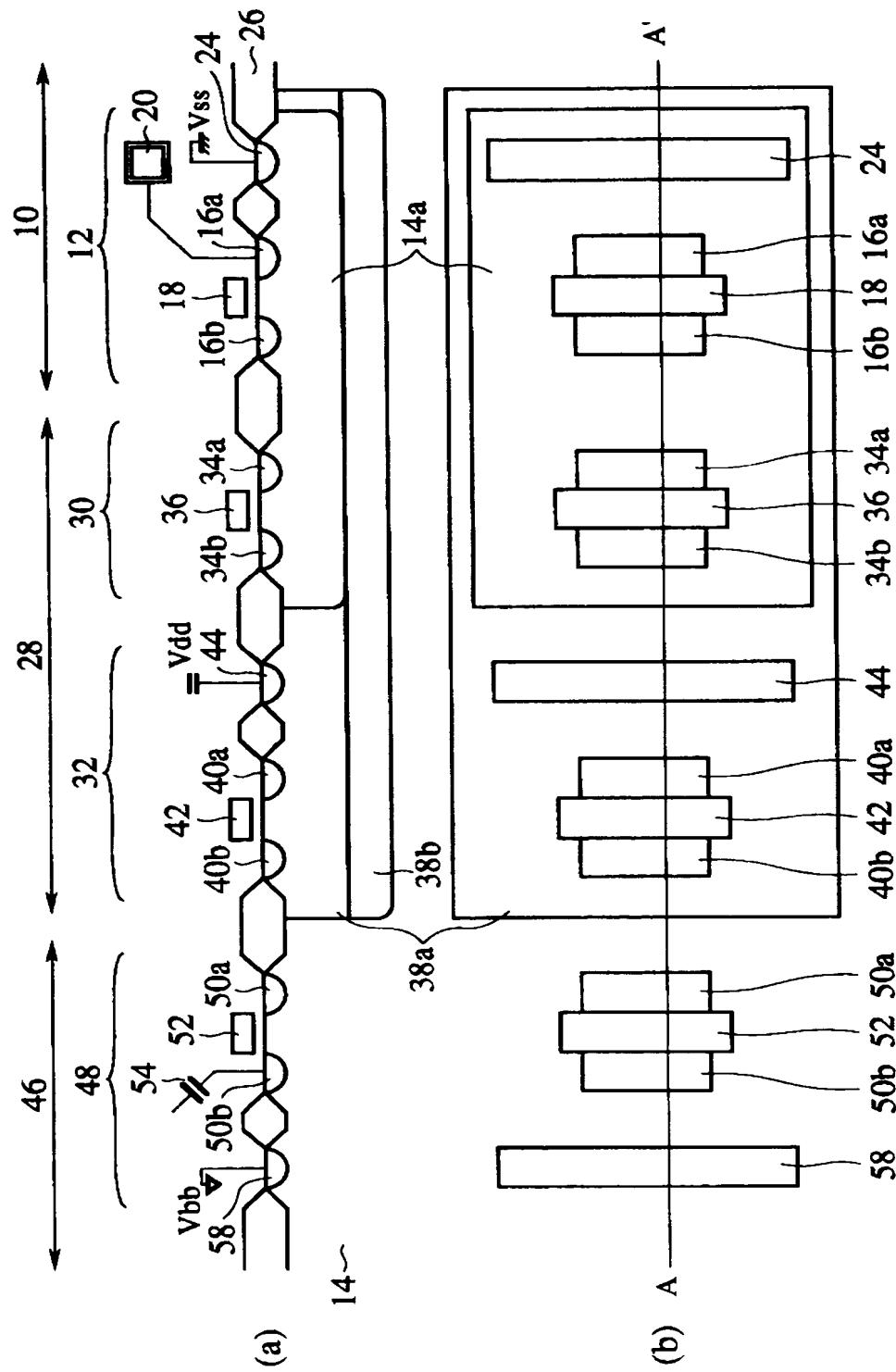
特平 9-257085

【図9】

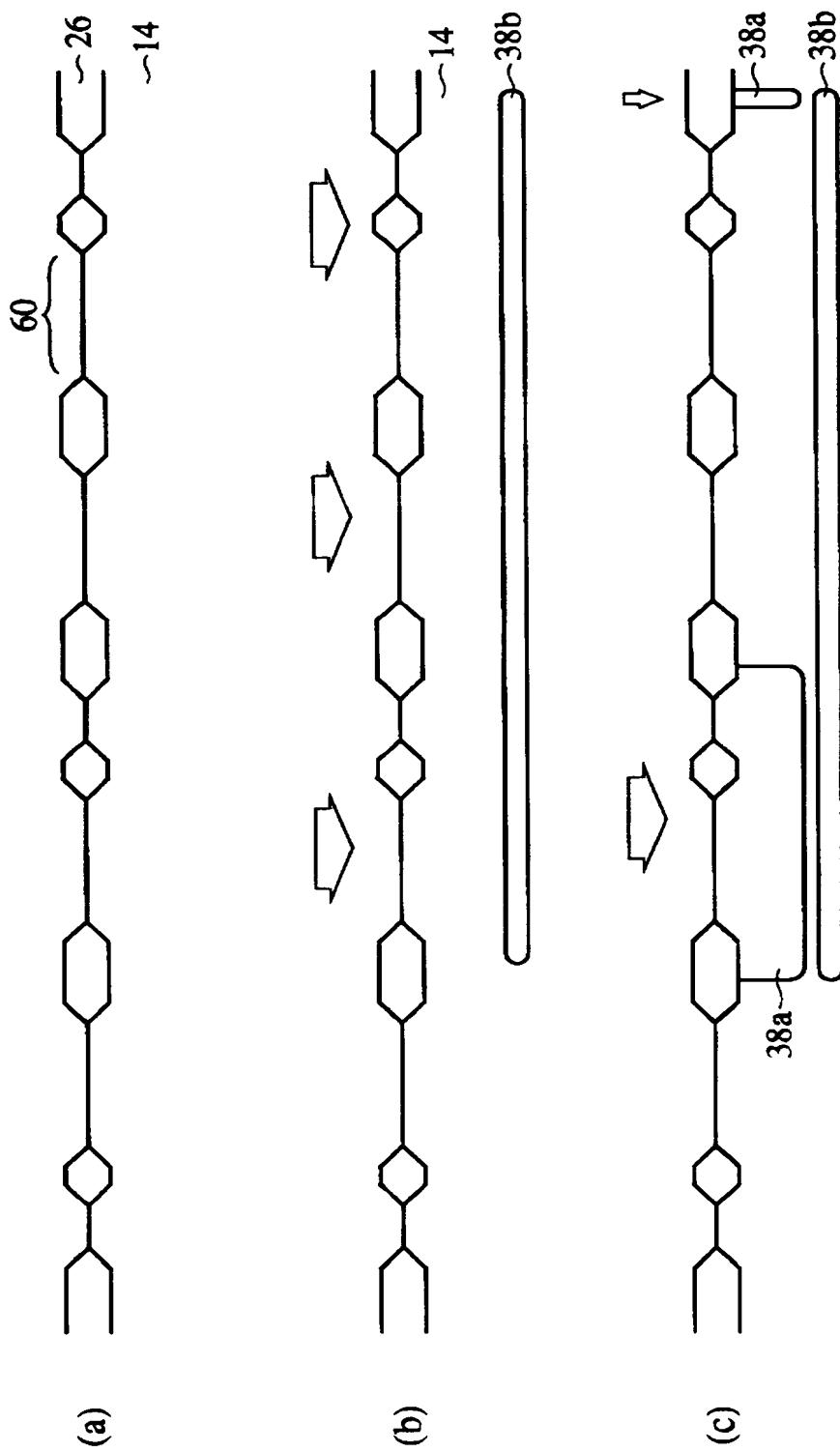
本発明の第1実施形態による半導体装置の
製造方法(その4)を示す工程断面図(その2)

【図10】

本発明の第2実施形態による半導体装置を示す断面図及び上面図

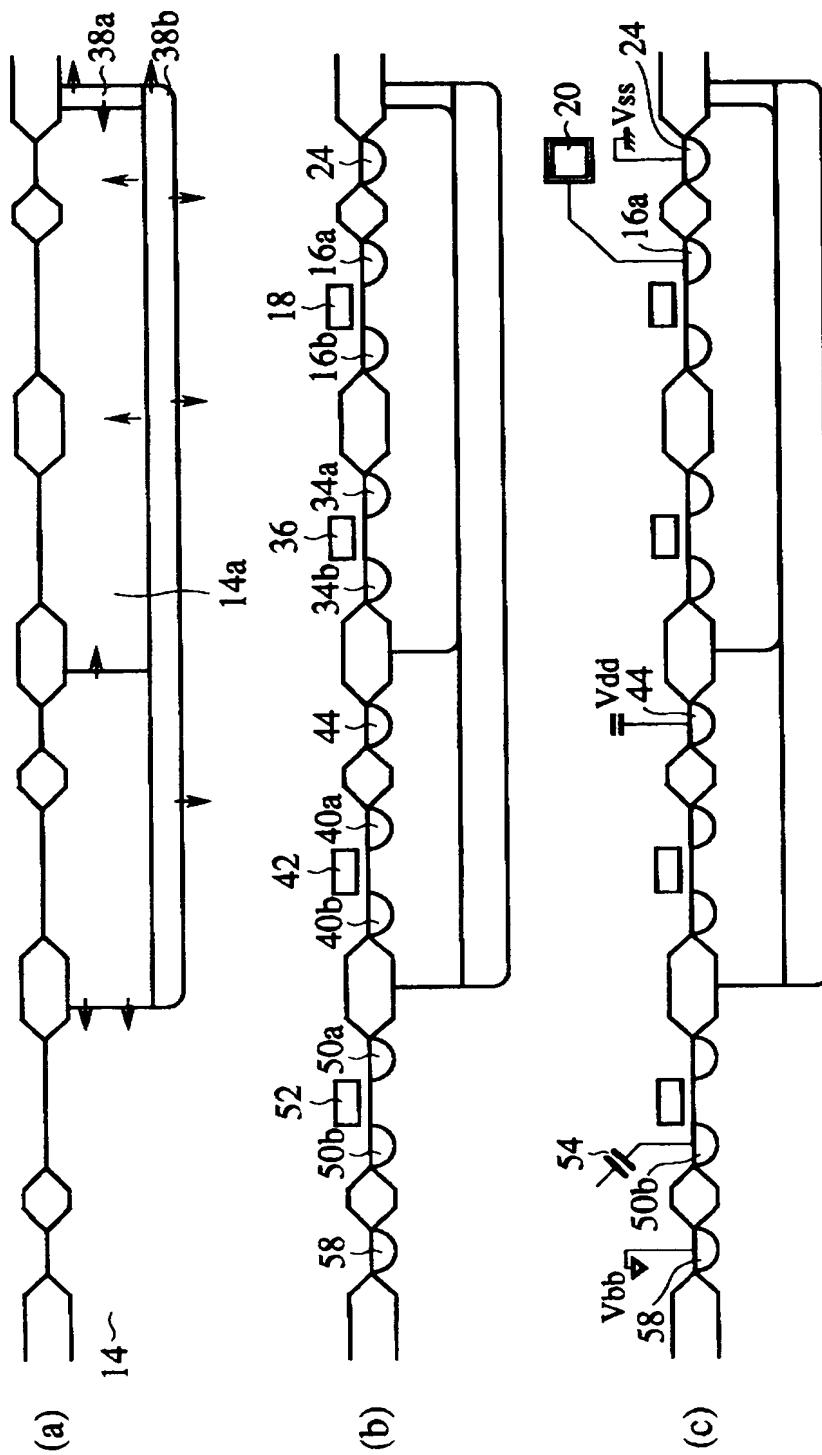


【図11】

本発明の第2実施形態による半導体装置の
製造方法(その1)を示す工程断面図(その1)

【図12】

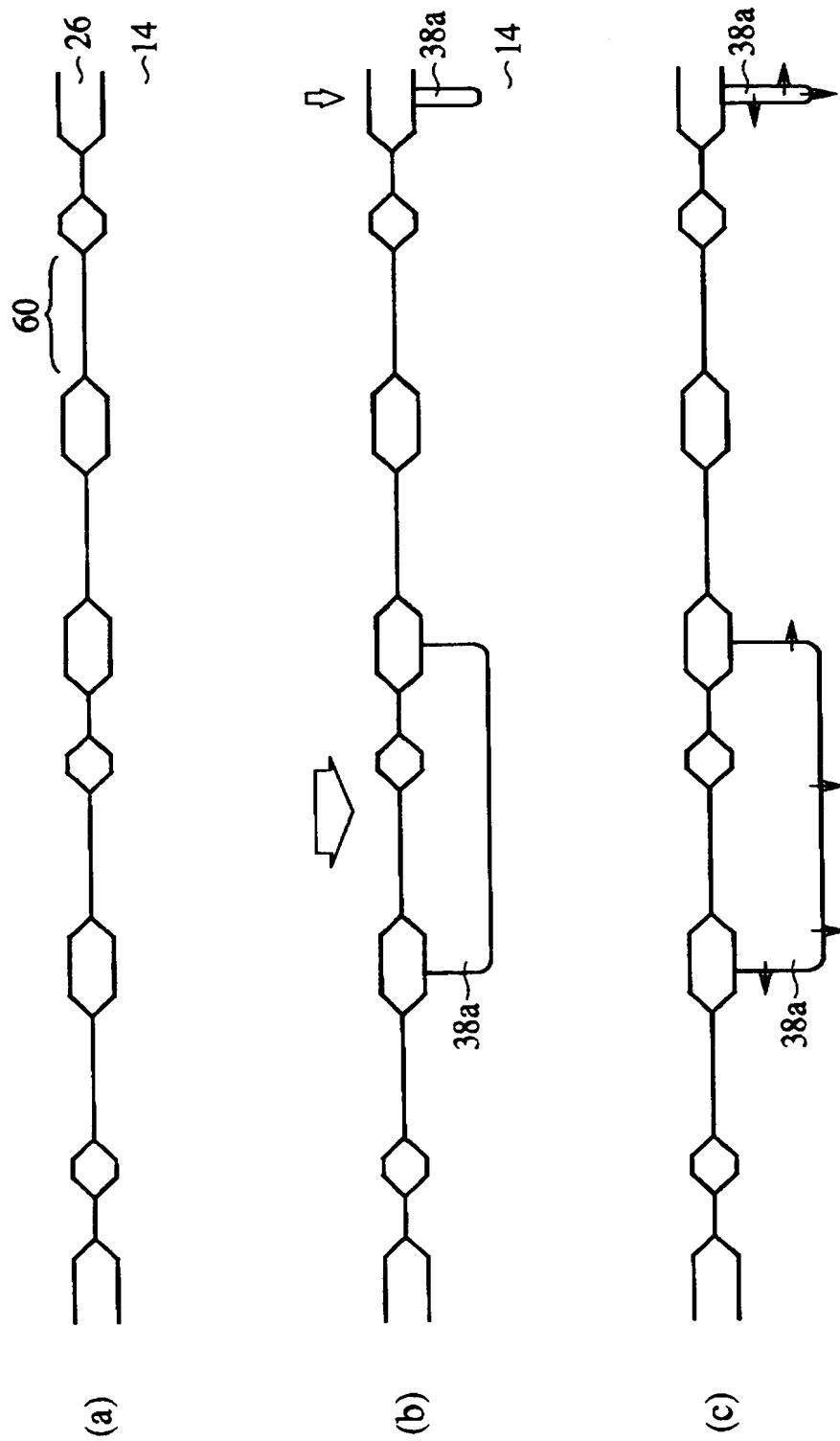
本発明の第2実施形態による半導体装置の
製造方法(その1)を示す工程断面図(その2)



特平 9-257085

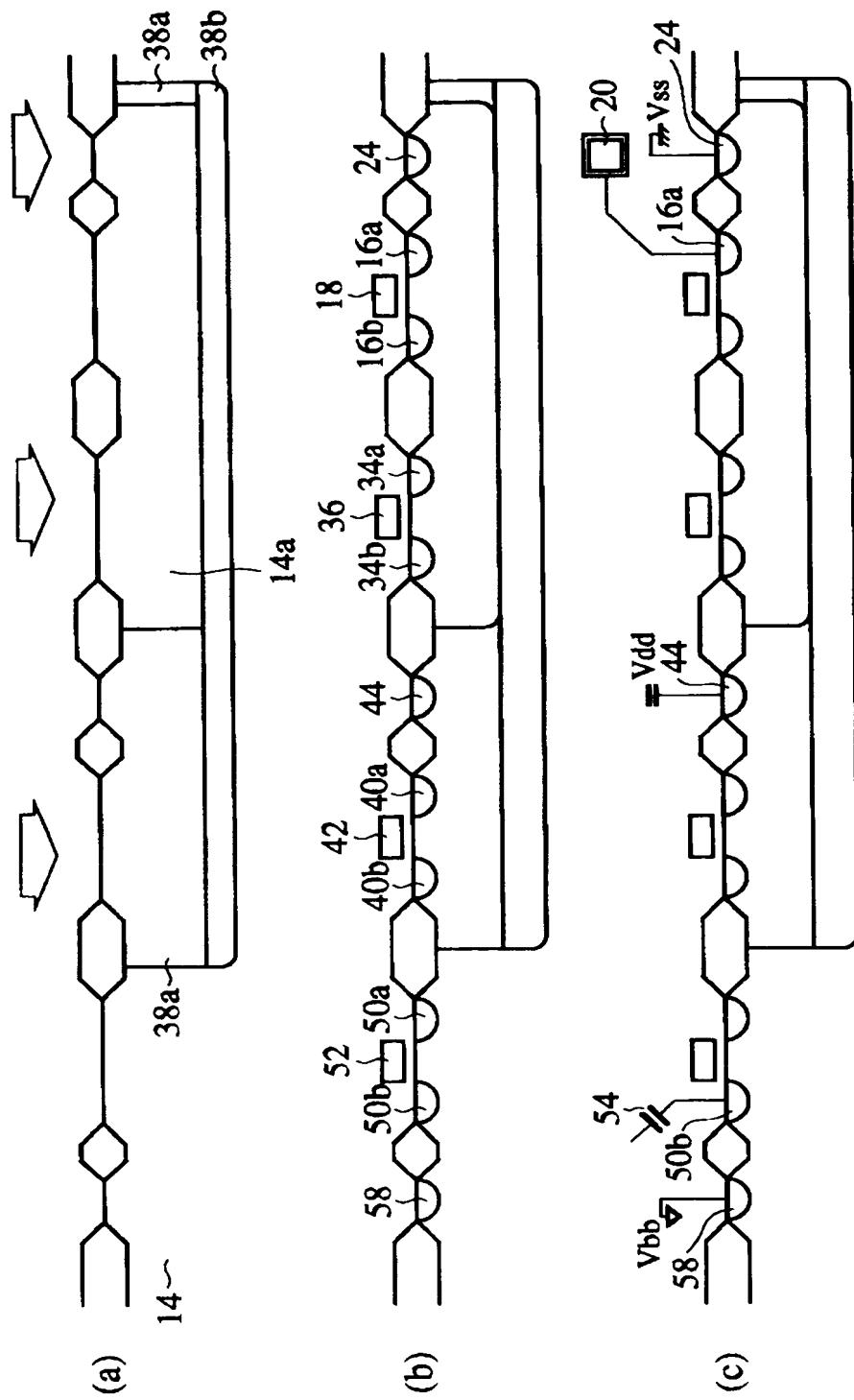
【図13】

本発明の第2実施形態による半導体装置の
製造方法(その2)を示す工程断面図(その1)



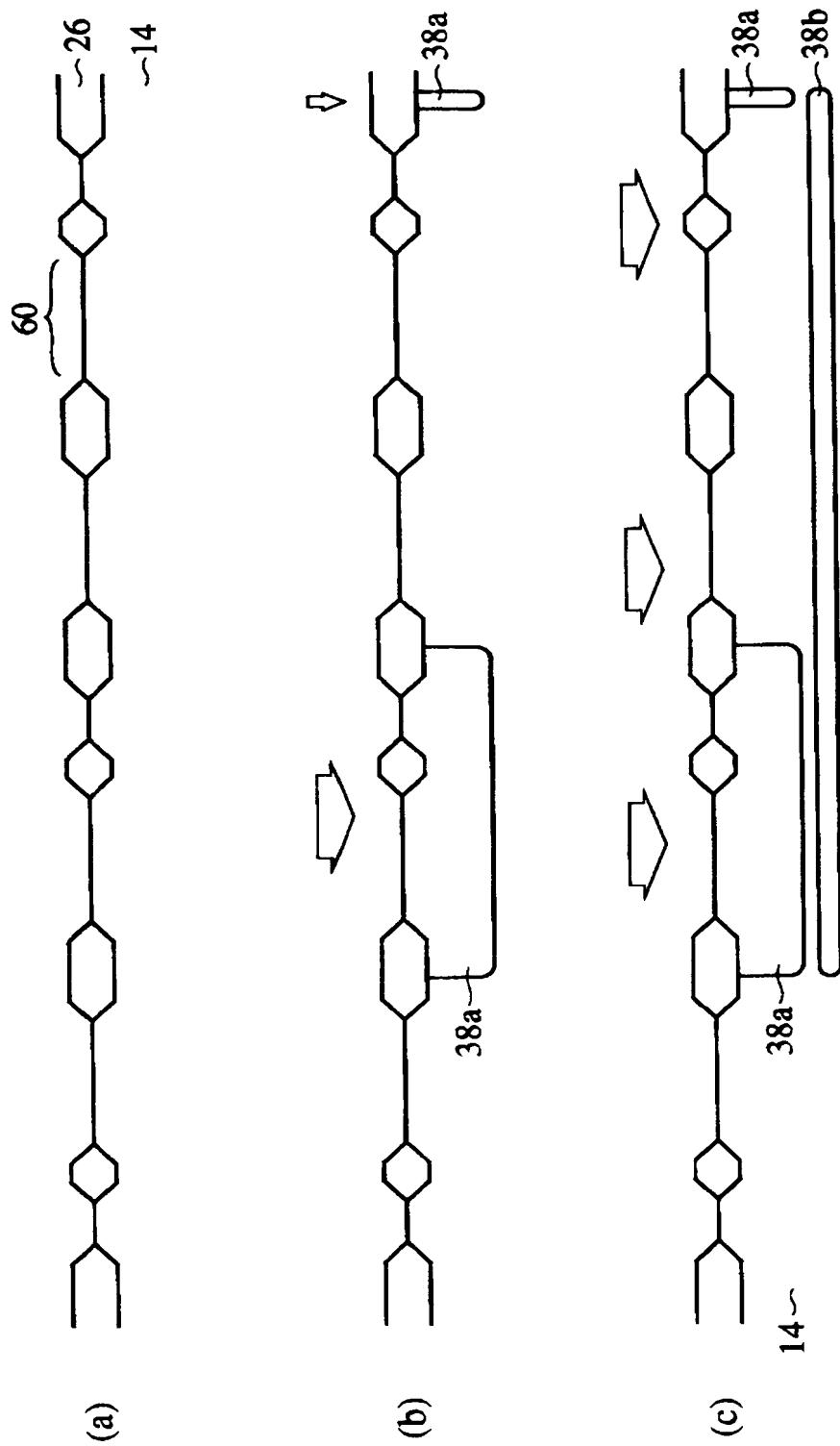
【図14】

本発明の第2実施形態による半導体装置の
製造方法(その2)を示す工程断面図(その2)

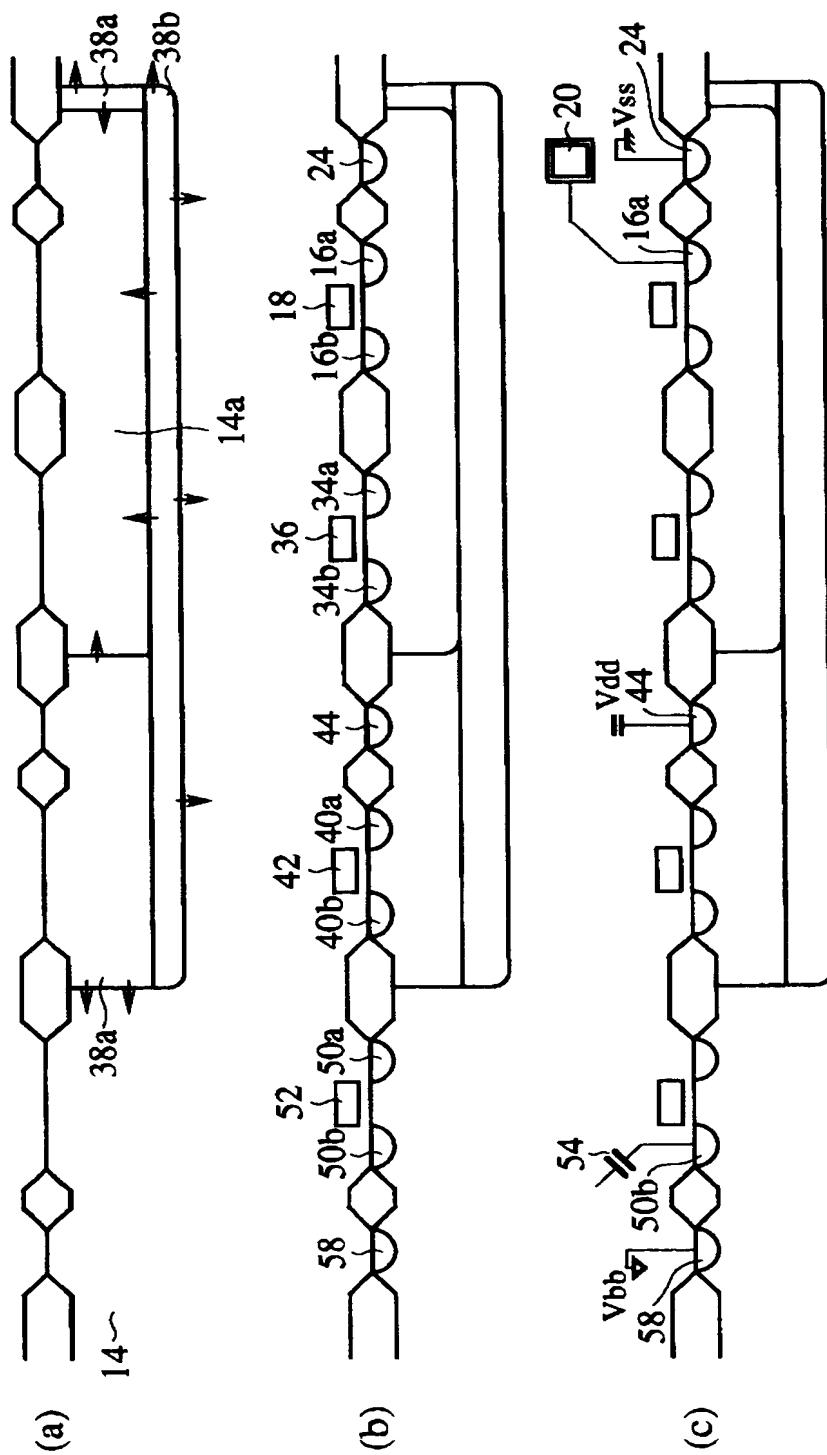


特平 9-257085

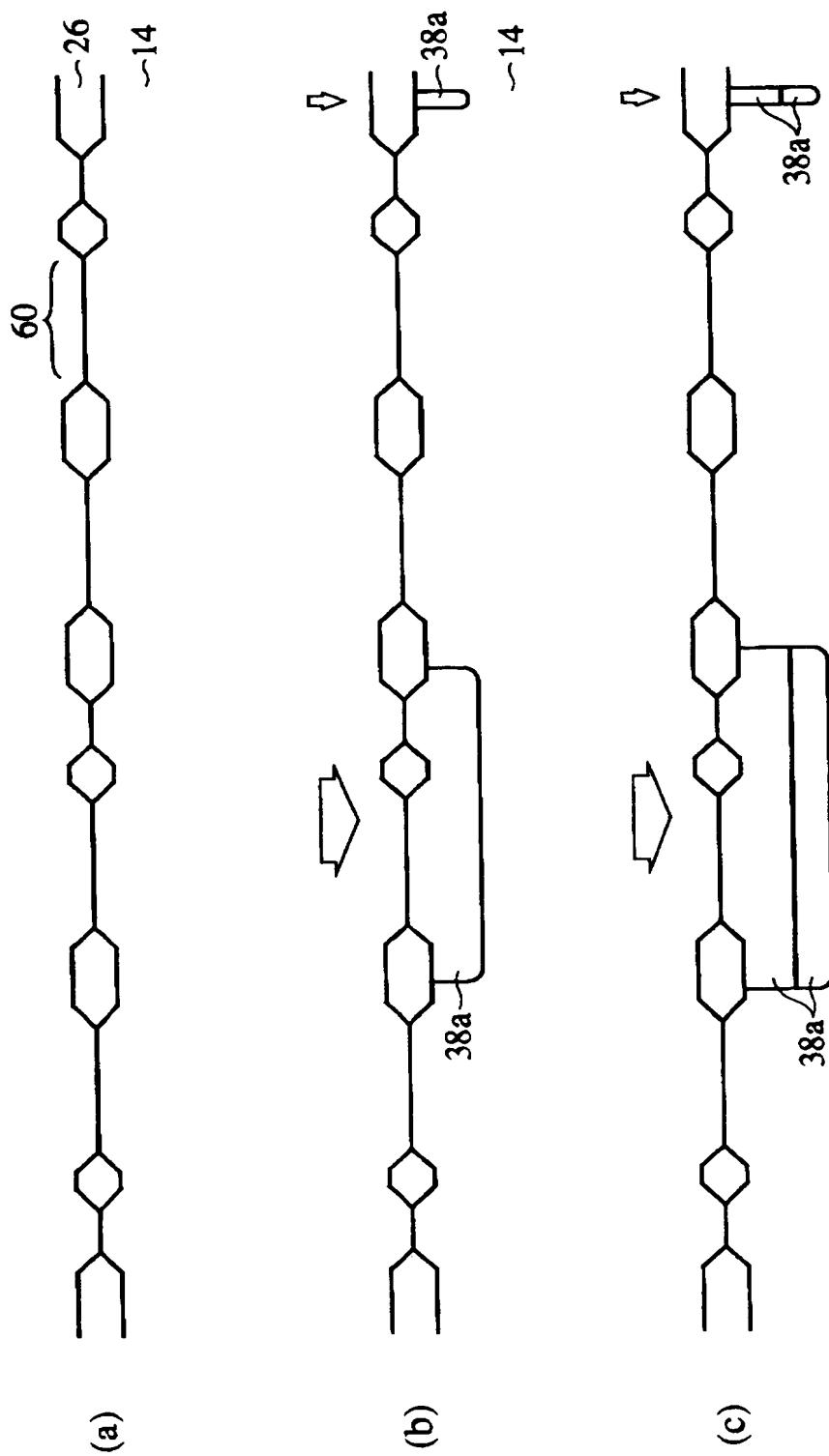
【図15】

本発明の第2実施形態による半導体装置の
製造方法(その3)を示す工程断面図(その1)

【図16】

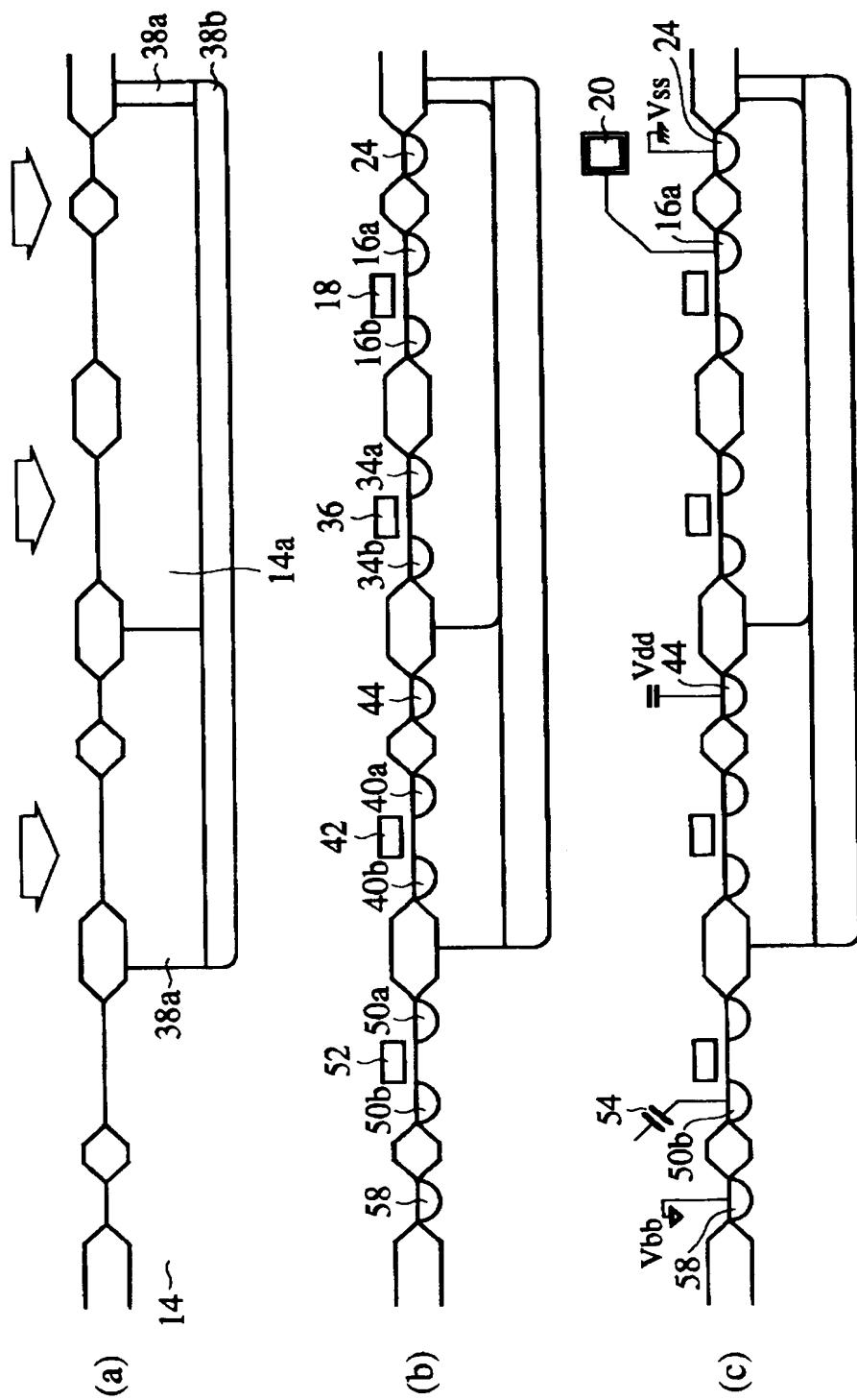
本発明の第2実施形態による半導体装置の
製造方法(その3)を示す工程断面図(その2)

【図17】

本発明の第2実施形態による半導体装置の
製造方法(その4)を示す工程断面図(その1)

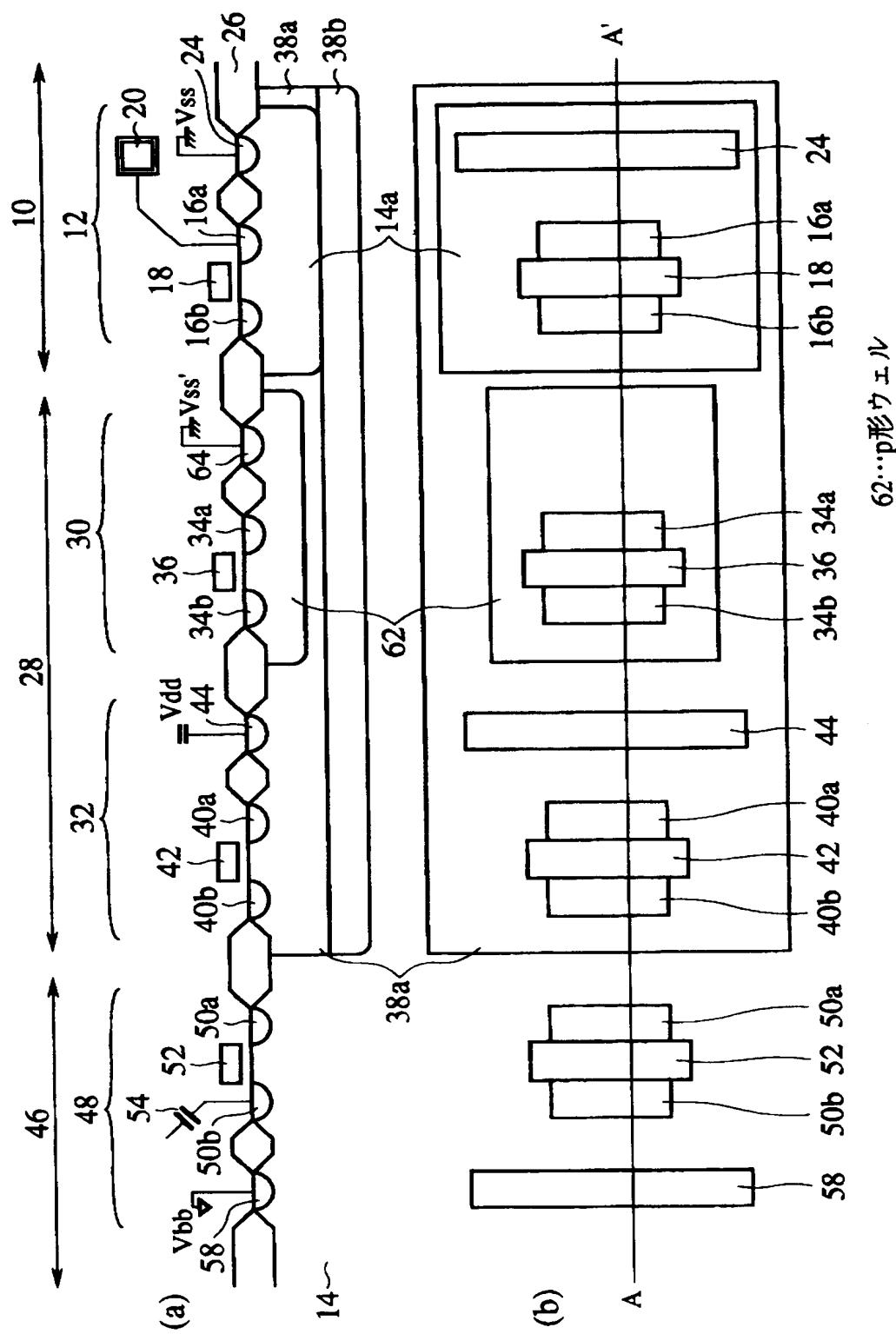
【図18】

本発明の第2実施形態による半導体装置の
製造方法(その4)を示す工程断面図(その2)



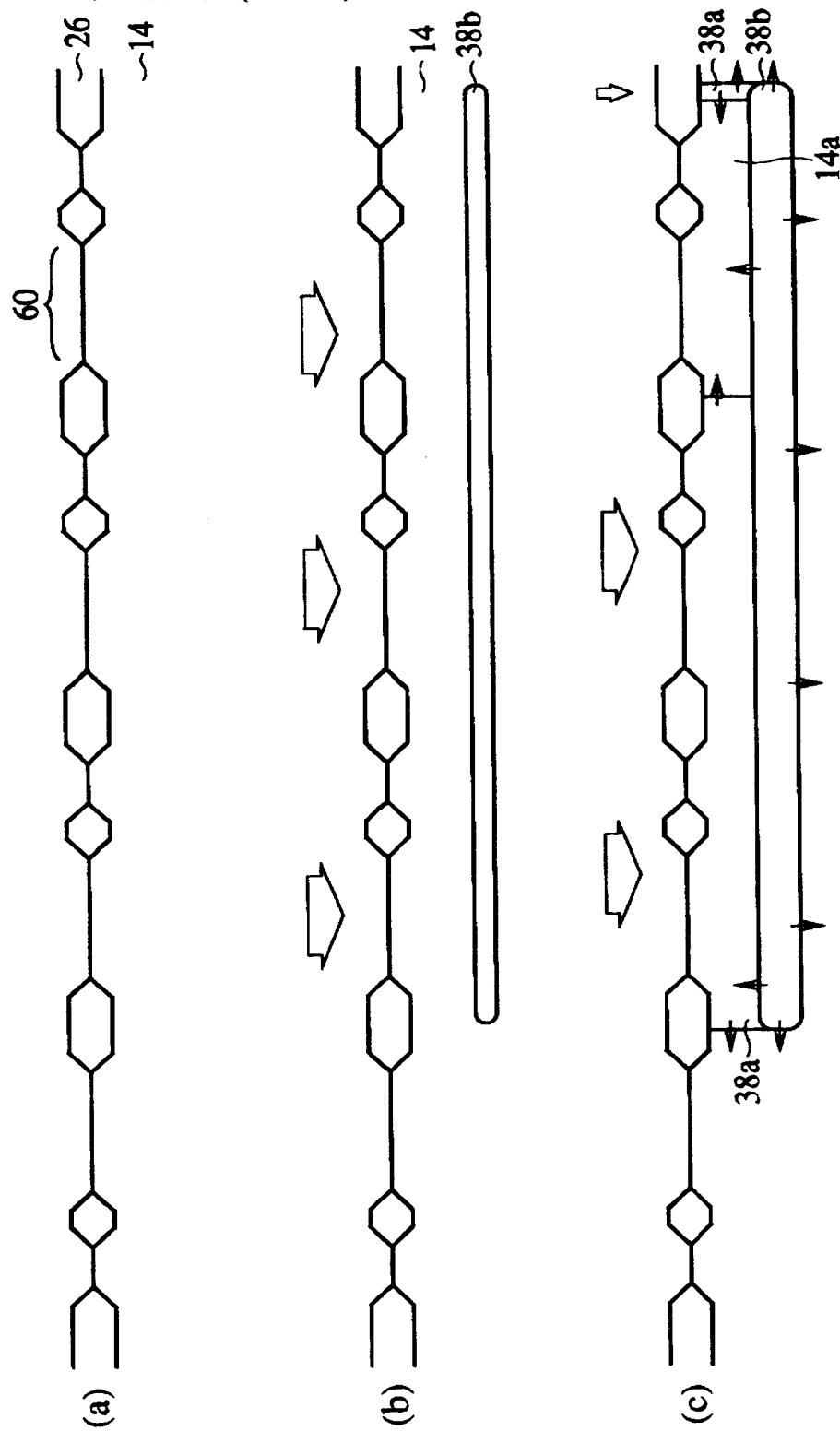
【図19】

本発明の第3実施形態による半導体装置を
示す断面図及び上面図



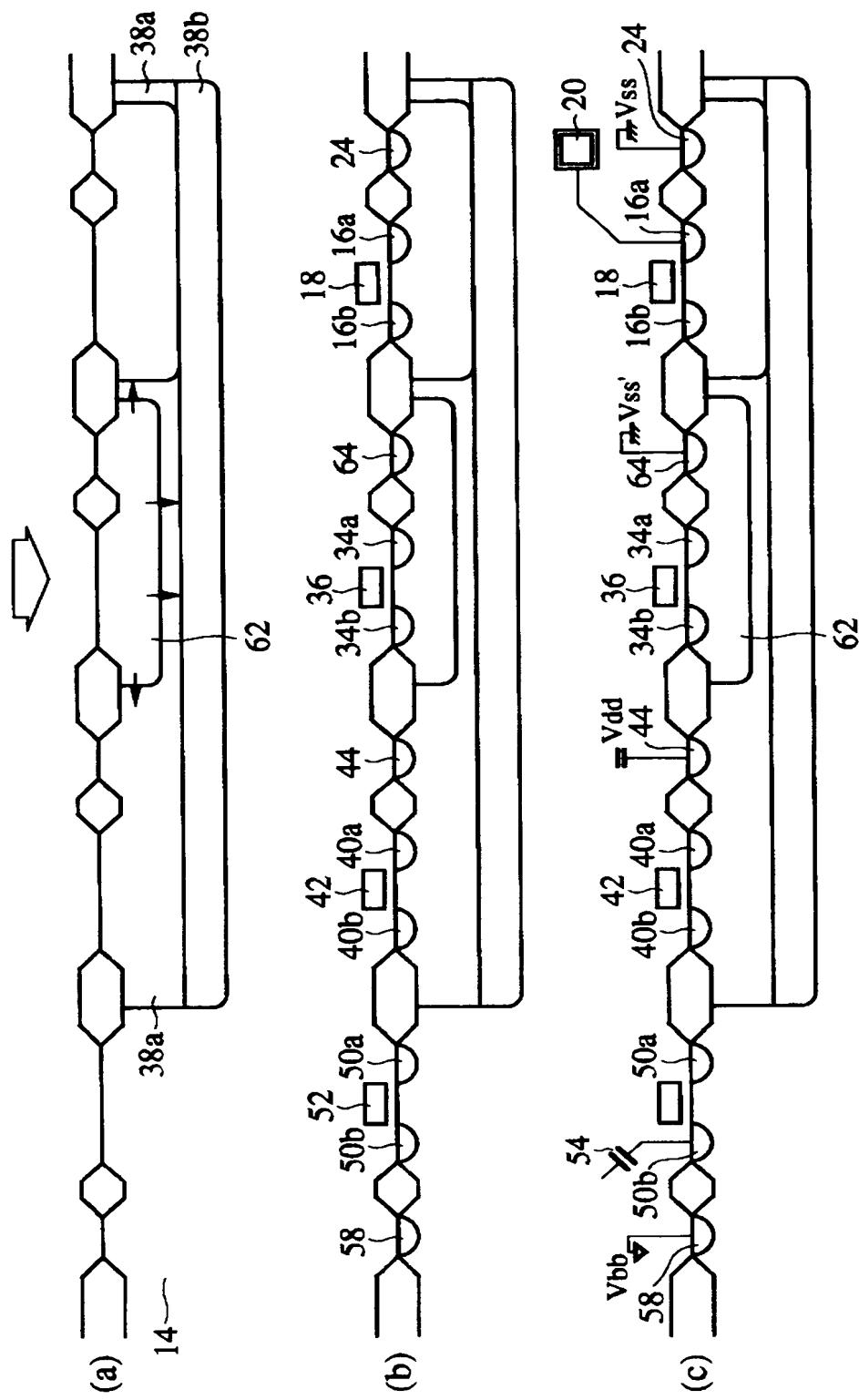
特平 9-257085

【図20】

本発明の第3実施形態による半導体装置の
製造方法(その1)を示す工程断面図(その1)

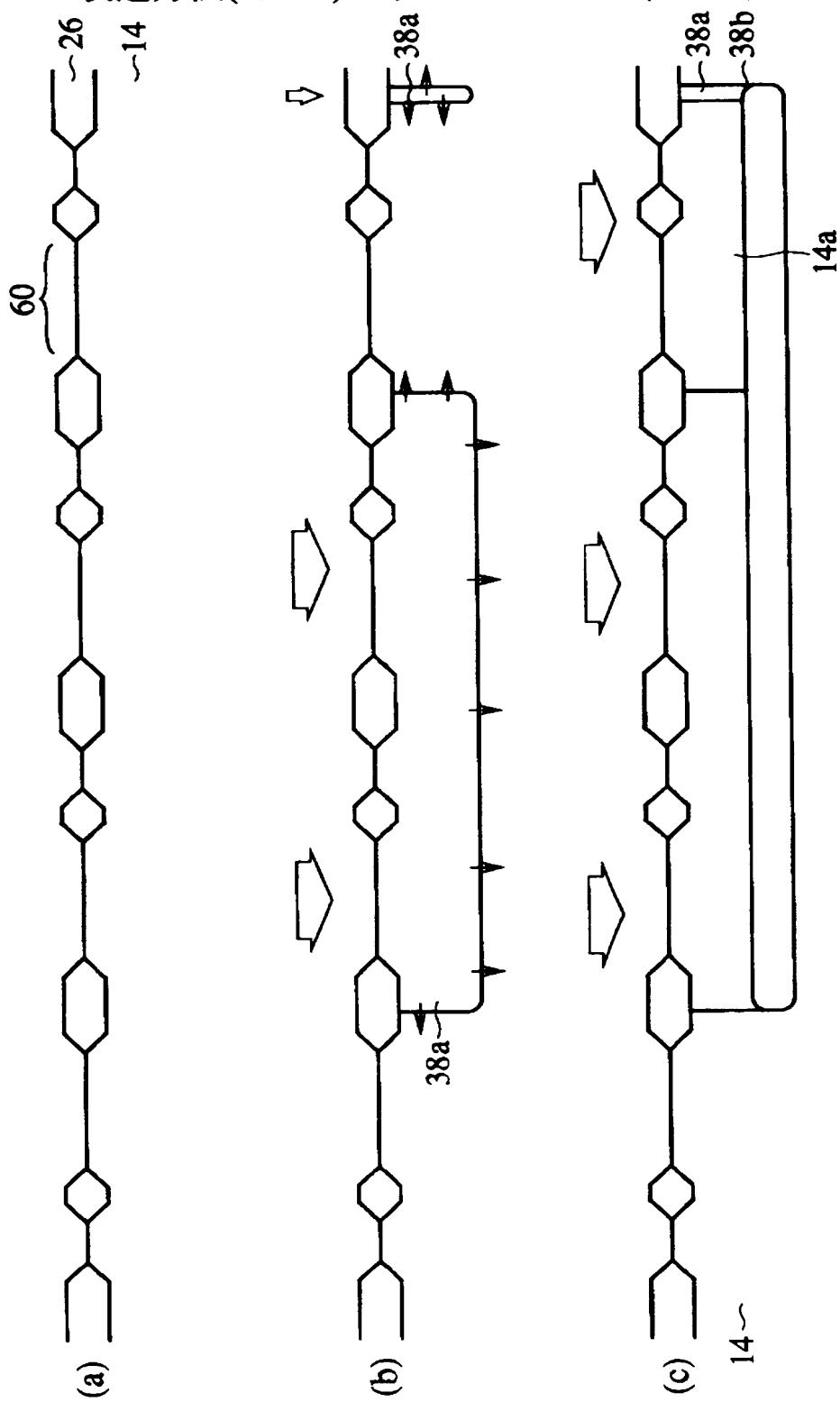
【図21】

本発明の第3実施形態による半導体装置の
製造方法(その1)を示す工程断面図(その2)



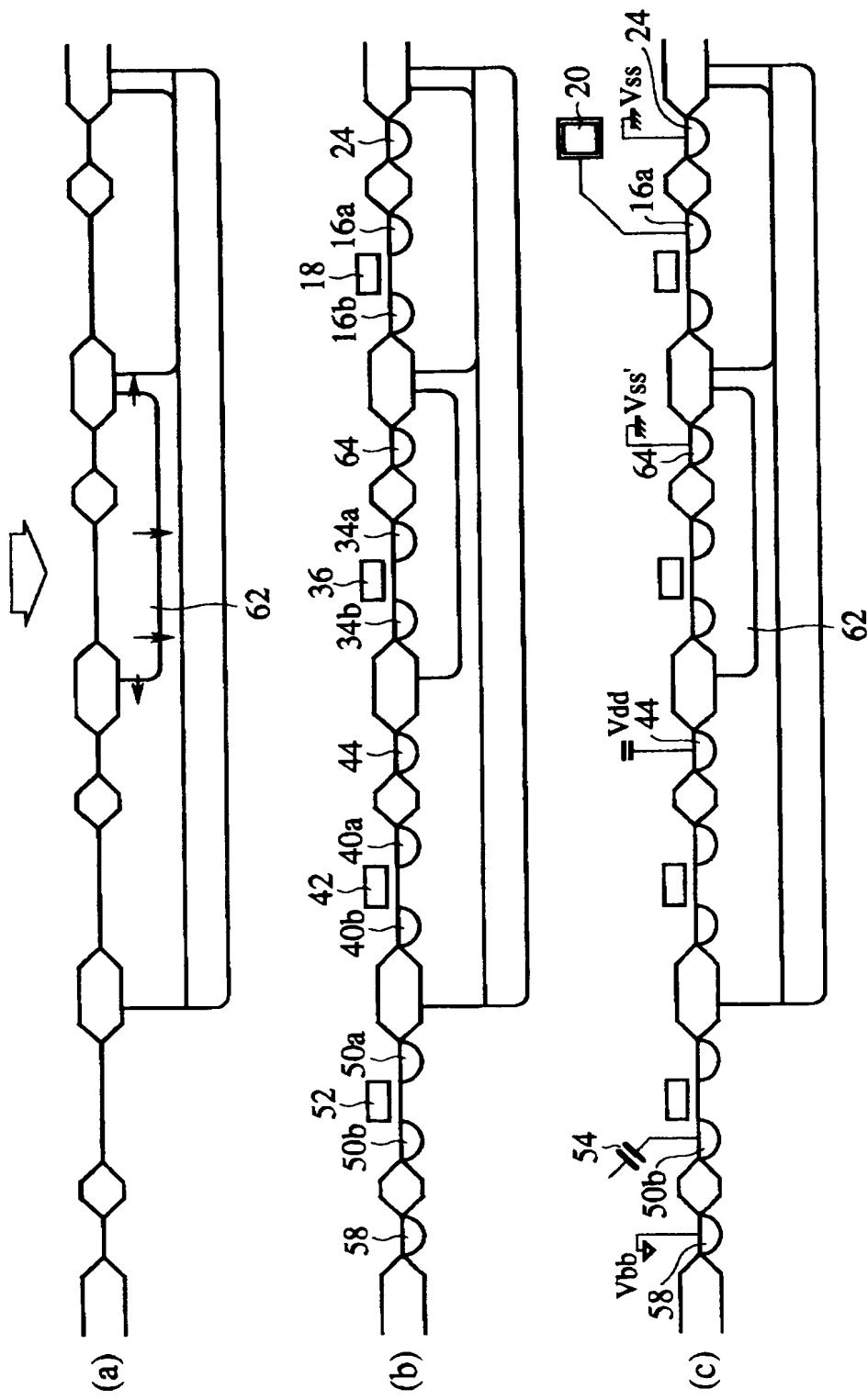
特平 9-257085

【図22】

本発明の第3実施形態による半導体装置の
製造方法(その2)を示す工程断面図(その1)

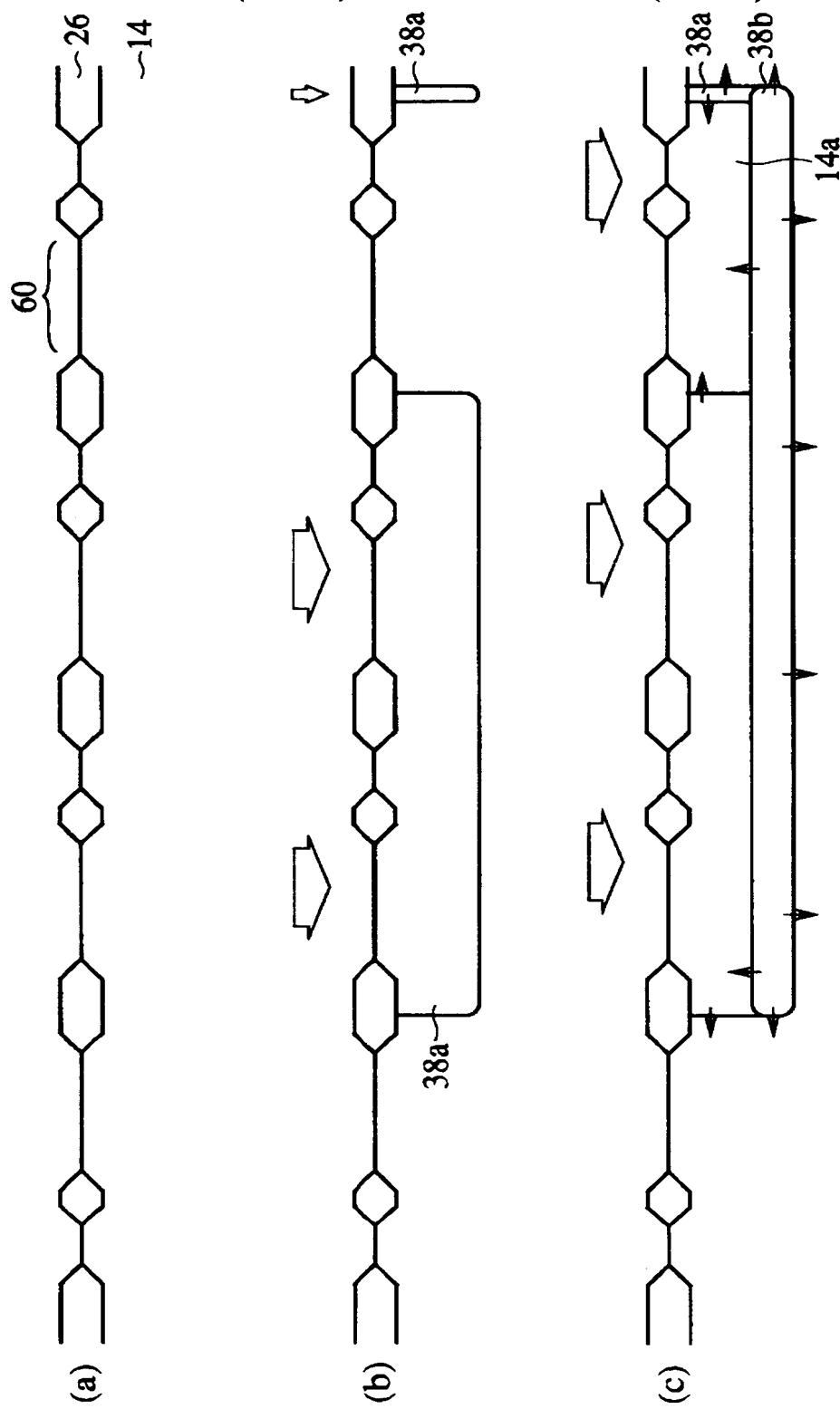
【図23】

本発明の第3実施形態による半導体装置の
製造方法(その2)を示す工程断面図(その2)

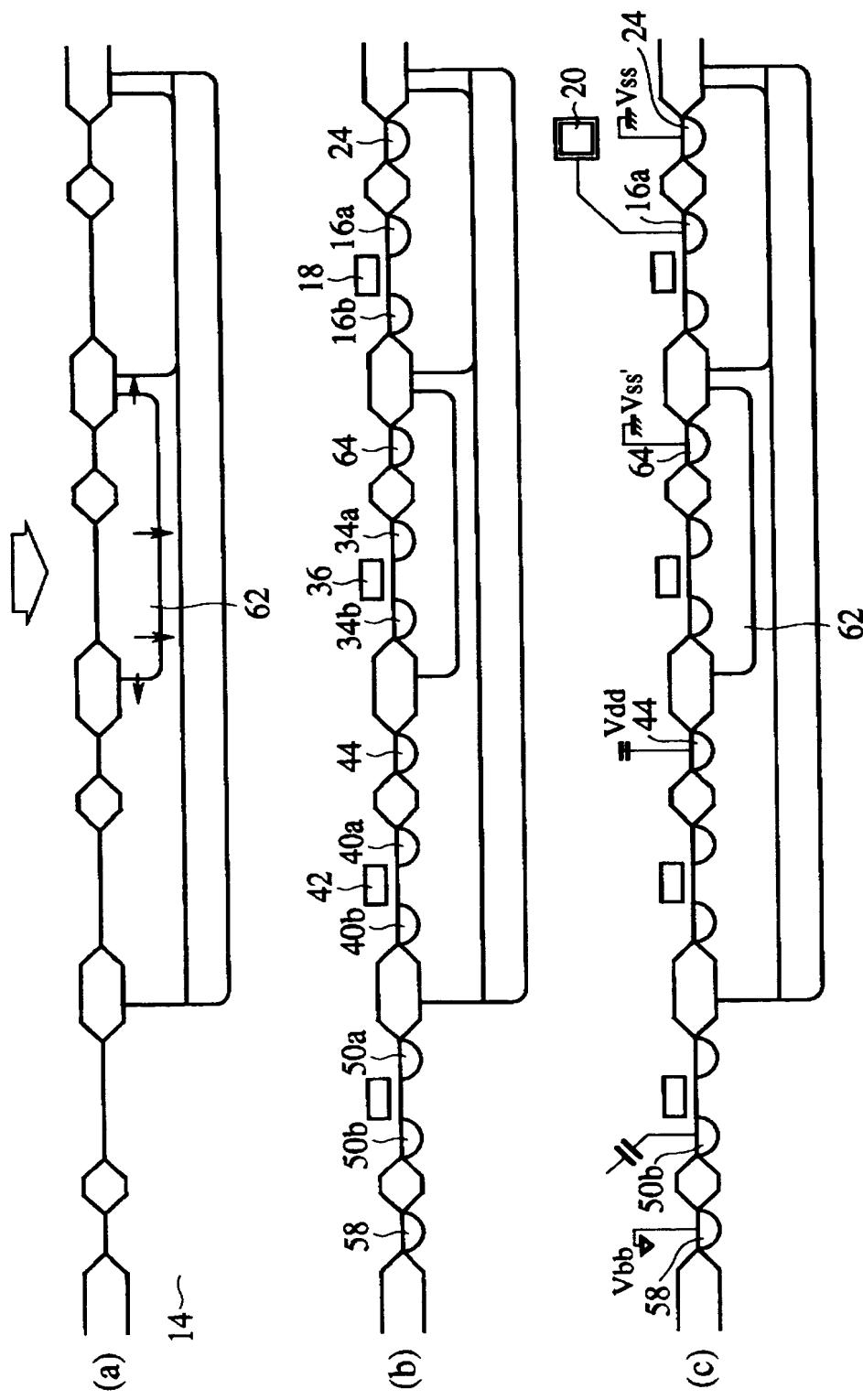


特平 9-257085

【図24】

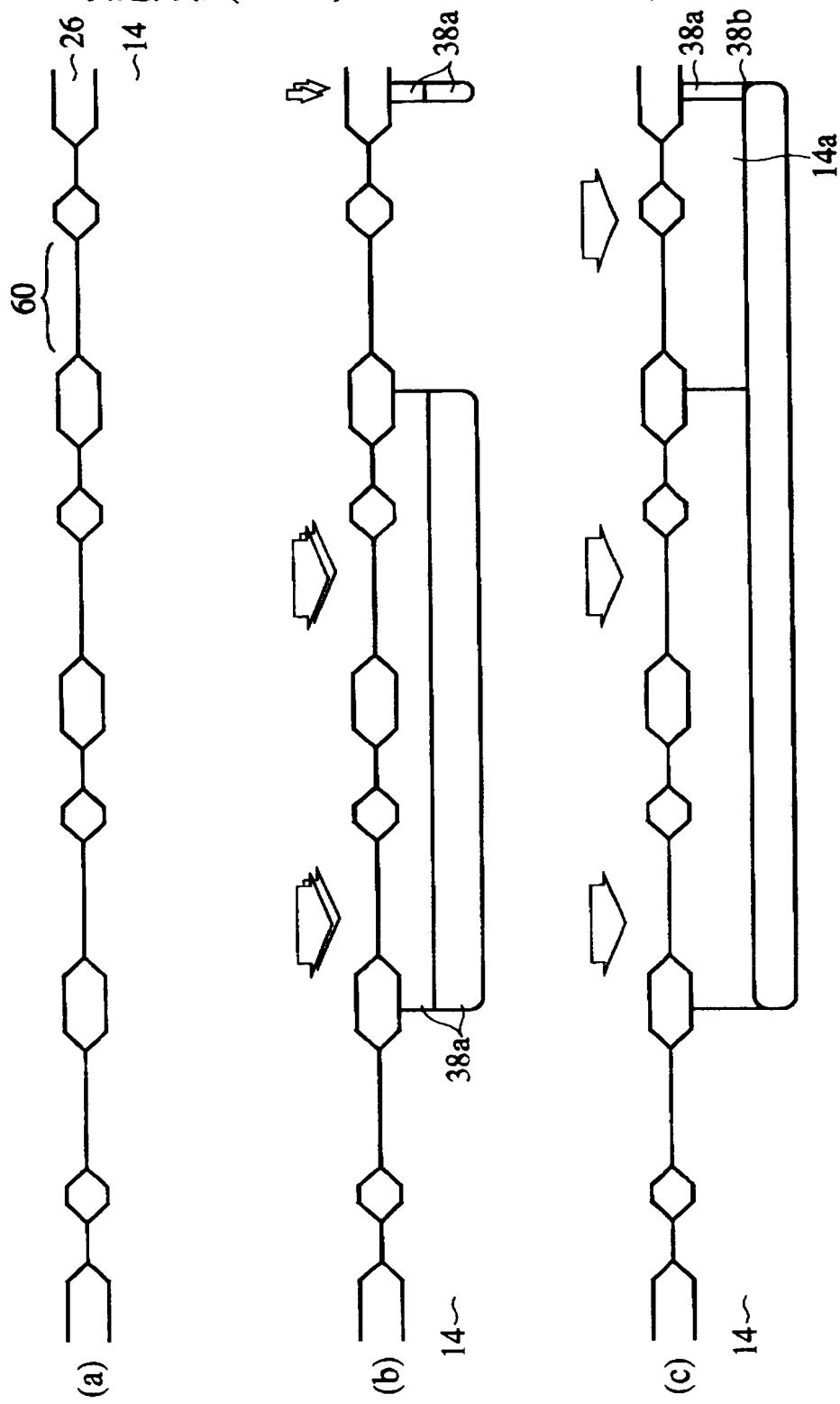
本発明の第3実施形態による半導体装置の
製造方法(その3)を示す工程断面図(その1)

【図25】

本発明の第3実施形態による半導体装置の
製造方法(その3)を示す工程断面図(その2)

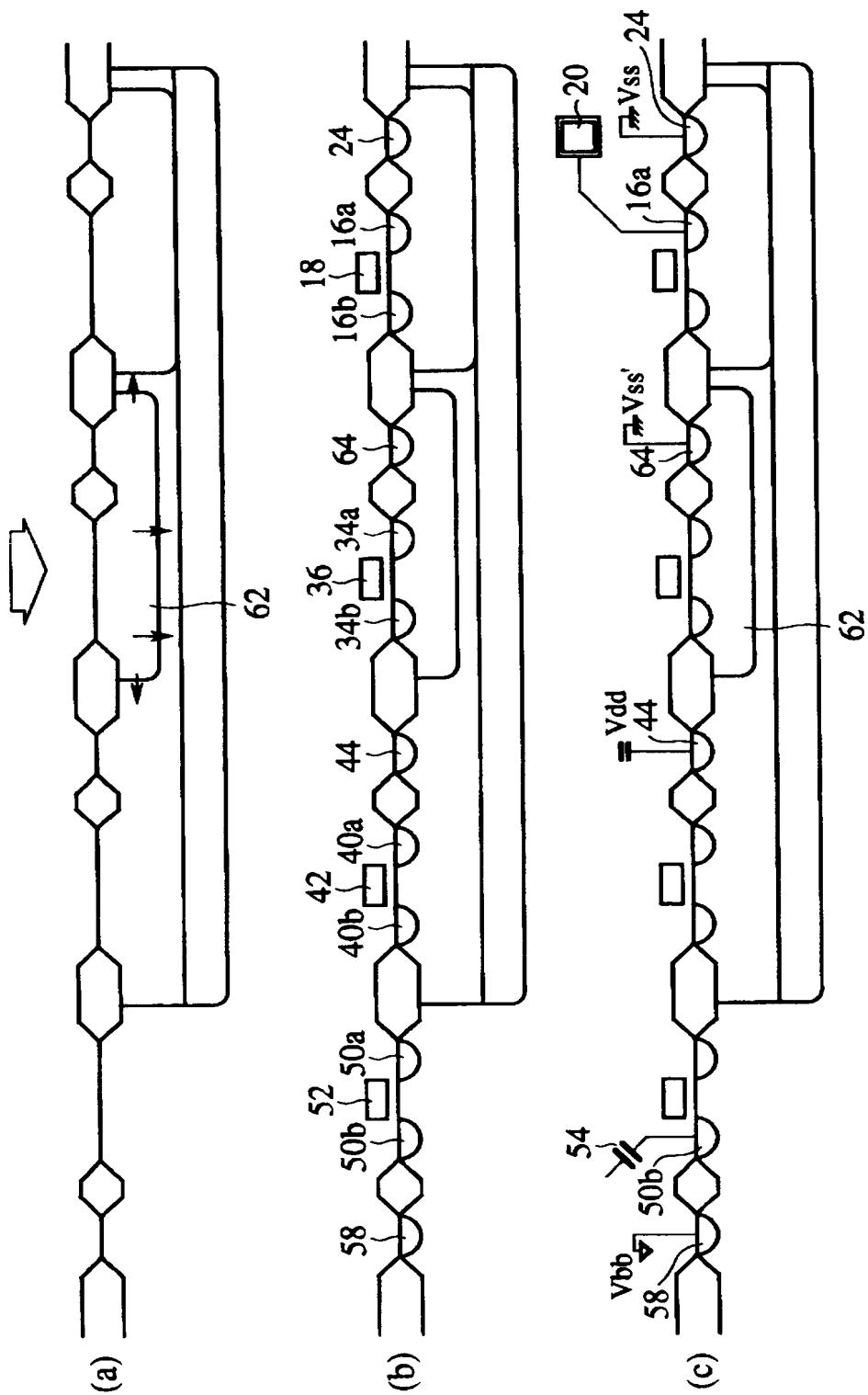
特平 9-257085

【図26】

本発明の第3実施形態による半導体装置の
製造方法(その4)を示す工程断面図(その1)

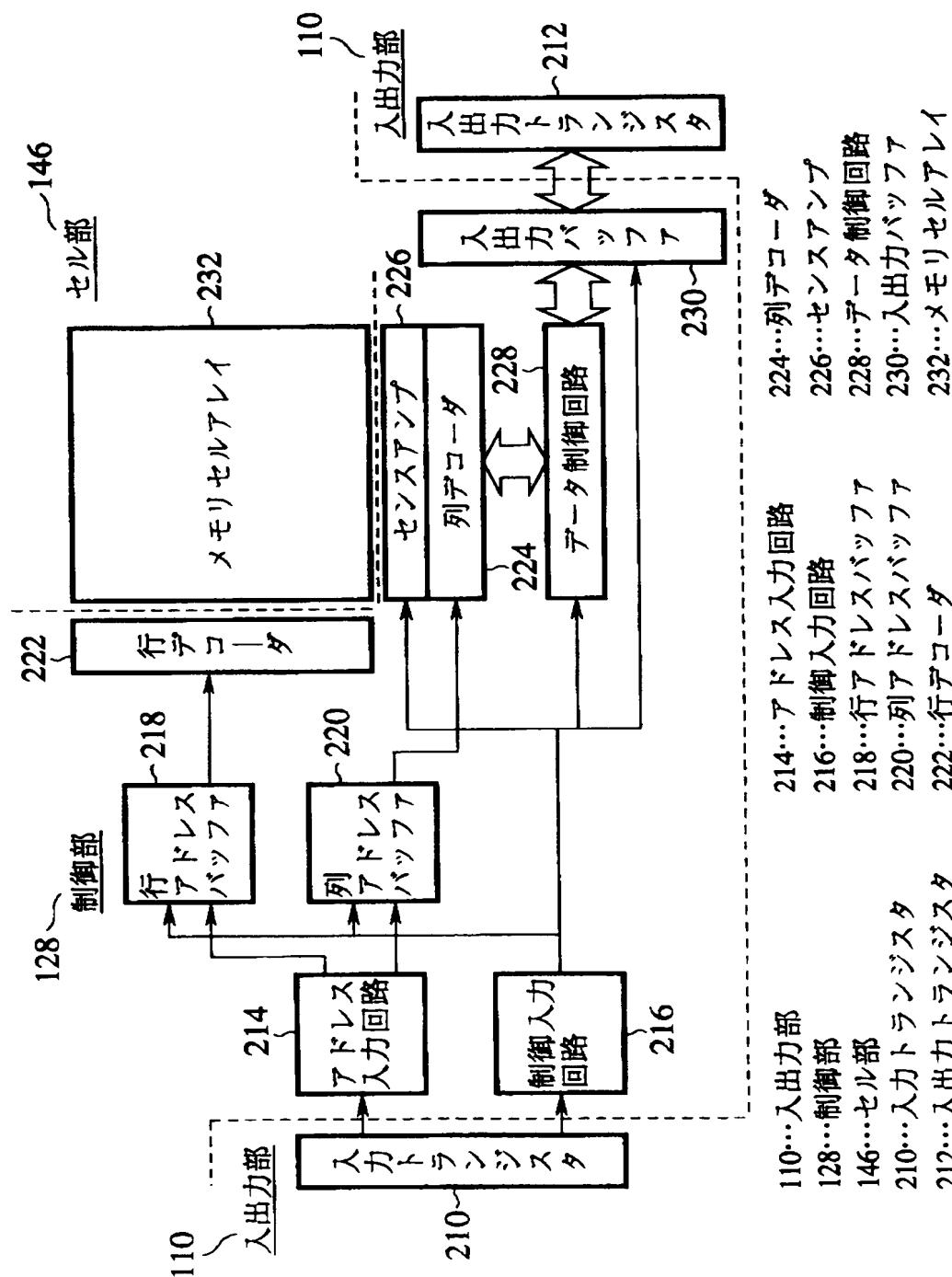
特平 9-257085

【図27】

本発明の第3実施形態による半導体装置の
製造方法(その4)を示す工程断面図(その2)

【図28】

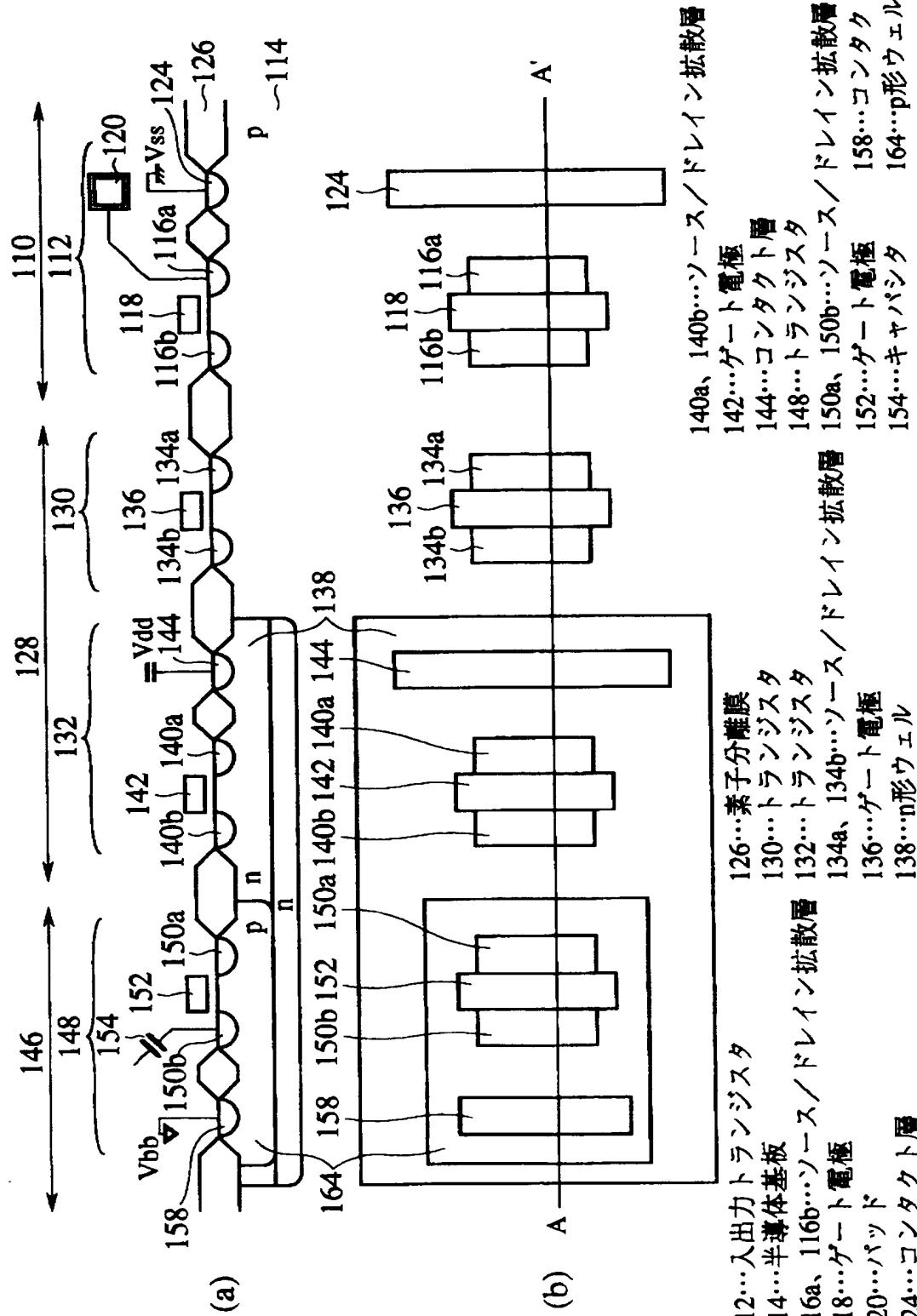
従来のDRAMの構成を示すブロックダイアグラム



特平 9-257085

【図29】

従来のDRAMを示す断面図及び上面図



【書類名】 要約書

【要約】

【課題】 消費電力が低く、動作速度が速い半導体装置及びその製造方法を提供する。

【解決手段】 第1導電型の半導体基板14と、半導体基板14の第1の領域に、半導体基板14表面から離間して形成された第2導電型の埋め込み半導体層38bと、半導体基板14の第1の領域の半導体基板14表面と埋め込み半導体層38bとの間の領域の周縁部に形成され、埋め込み半導体層38bに接続する第2導電型半導体領域38aと、埋め込み半導体層38bと第2導電型半導体領域38aとにより囲まれた半導体基板14より成る第1導電型半導体領域14aとを有している。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【住所又は居所】 東京都新宿区大京町9番地 エクシード四谷2階

北野国際特許事務所

【氏名又は名称】 北野 好人

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社